

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2005 年10 月13 日 (13.10.2005)

PCT

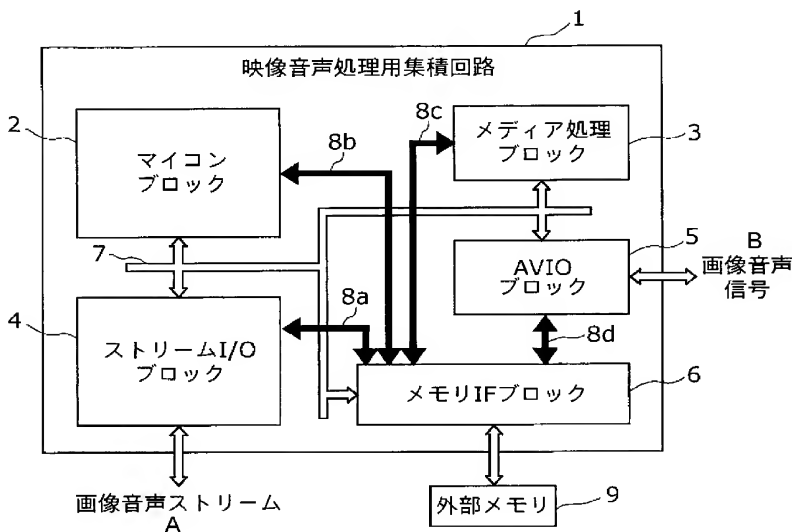
(10) 国際公開番号  
WO 2005/096168 A1

- (51) 国際特許分類: G06F 15/78, H04N 5/91 (72) 発明者; および  
(21) 国際出願番号: PCT/JP2005/006490 (75) 発明者/出願人 (米国についてのみ): 木村 浩三 (KIMURA, Kozo). 清原 督三 (KIYOHARA, Tokuzo). 水野 洋 (MIZUNO, Hiroshi). 道山 淳児 (MICHİYAMA, Junji). 北村 朋彦 (KITAMURA, Tomohiko). 山口 良二 (YAMAGUCHI, Ryoji). 黒田 学 (KURODA, Manabu). 山田 信彦 (YAMADA, Nobuhiko). 大古瀬 秀之 (OHGOSE, Hideyuki). 山名 章文 (YAMANA, Akifumi).  
(22) 国際出願日: 2005 年4 月1 日 (01.04.2005)  
(25) 国際出願の言語: 日本語  
(26) 国際公開の言語: 日本語  
(30) 優先権データ: 特願2004-108970 2004 年4 月1 日 (01.04.2004) JP  
(71) 出願人 (米国を除く全ての指定国について): 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP]; 〒5718501 大阪府門真市大字門真 1 0 0 6 番地 Osaka (JP). (74) 代理人: 新居 広守 (NII, Hiromori); 〒5320011 大阪府大阪市淀川区西中島 3 丁目 1 1 番 2 6 号 新大阪末広センタービル 3 F 新居国際特許事務所内 Osaka (JP).

[続葉有]

(54) Title: INTEGRATED CIRCUIT FOR VIDEO/AUDIO PROCESSING

(54) 発明の名称: 映像音声処理用集積回路



- 1.. INTEGRATED CIRCUIT FOR VIDEO/AUDIO PROCESSING  
2.. MICROCOMPUTER BLOCK  
4.. STREAM I/O BLOCK  
3.. MEDIA PROCESSING BLOCK  
5.. AVIO BLOCK  
6.. MEMORY IF BLOCK  
9.. EXTERNAL MEMORY  
A.. VIDEO/AUDIO STREAM  
B..VIDEO/AUDIO SIGNAL

(57) Abstract: There is provided an integrated circuit for video/audio processing capable of using a design resource obtained in a development of a video/audio device in other type of video/audio device. The integrated circuit for video/audio processing includes: a microcomputer block (2) having a CPU; a stream I/O block (4) for performing I/O of a video and audio stream with an external device; a media processing block (3) for executing media processing including at least one of compression and decompression of video and audio streams inputted to the stream I/O block (4); an AVIO block (5) for converting the video and audio stream subjected to media processing in the media processing block (3) into a video and audio signal for output to an external device or the like; and a memory IF block (6) for controlling data transfer between: the microcomputer block (2), the stream I/O block (4), the media processing block (3), and the AVIO block (5), and an external memory (9).

(57) 要約: 映像音声機器の開発で得られた設計資産が他の種類の映像音声機器にも流用すること

とが可能な映像音声処理用集積回路を提供する。 CPUを含むマイコンブロック 2

[続葉有]

WO 2005/096168 A1



(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE,

BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告書
- 請求の範囲の補正の期限前の公開であり、補正書受領の際には再公開される。

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

と、外部装置と映像及び音声ストリームの入出力を行うストリームI/Oブロック4と、ストリームI/Oブロック4に入力された映像及び音声ストリーム等の圧縮及び伸張の少なくとも1つを含むメディア処理を実行するメディア処理ブロック3と、メディア処理ブロック3でメディア処理された映像及び音声ストリームを映像及び音声信号に変換して外部機器に出力等するAVIOブロック5と、マイコンブロック2、ストリームI/Oブロック4、メディア処理ブロック3及びAVIOブロック5と外部メモリ9との間のデータ転送を制御するメモリIFブロック6とを備える。

## 明 細 書

### 映像音声処理用集積回路

### 技術分野

- [0001] 本発明は、映像音声処理用集積回路に関し、特に、各種アプリケーションに使用されるシステムLSIとして実現される映像音声処理用集積回路に関する。

### 背景技術

- [0002] 近年のデジタル技術、動画像及び音声の圧縮伸張技術の急速な進展に伴い、デジタルテレビ(DTV)、DVDレコーダ等のデジタルビデオレコーダ(DVR)、携帯電話、ビデオカメラ等の映像音声機器は、ますます高機能化、小型化が求められている。そのために、このような映像音声機器の開発現場においても、開発期間の短縮化が大きな課題となっている。
- [0003] 従来、映像音声機器の開発を支援するために、映像音声機能に関わる処理に必要な複数の機能ブロックを1つのLSIとして実現した技術がある(たとえば、非特許文献1参照)。
- [0004] この従来のLSIは、メディア処理に必要なDSP(Digital Signal Processor)コアや、各種ビデオI/O、RGB I/O、MPEG-2トランスポートストリームI/F、LAN I/F等を備える。機器の開発者は、このようなLSIを使用することで、映像音声処理に必要な各機能ブロックにおけるハードウェア回路を個別に開発する必要がなくなる。

非特許文献1:「TMS320DM642 Technical Overview」テキサスインスツルメンツ社、p. 4等

### 発明の開示

### 発明が解決しようとする課題

- [0005] しかしながら、上記従来のLSIは、音声等による電話とのI/Fや、電力制御等の低消費電力のための機能等が備わっていないために、携帯電話やビデオカメラ等のモバイル系用途には向かないという問題がある。そのために、例えば、DTV等のサーバ系機器を上記従来のLSIを用いて実現したとしても、そこで得られたソフトウェア等

の設計資産を携帯電話等のモバイル系機器に流用することができない。

[0006] さらに、上記従来LSIを用いて映像音声機器を開発する場合には、映像や音声データを一時的に保存するためのメモリと各処理ブロックとのインターフェースについては、開発者が独自に設計しなければならない。たとえば、各処理ブロックで共有できる共有メモリを設ける場合には、各処理ブロックとメモリとの転送帯域を確保するとともにレイテンシ保証を考慮しなければならない。そのために、高機能な映像音声機器の開発工数が削減されないのが実情である。

[0007] そこで、本発明は、このような従来の問題点に鑑みてなされたものであり、DTVやDVR等のサーバ系映像音声機器だけでなく、携帯電話やビデオカメラ等のモバイル系映像音声機器のシステムLSIとして適用できるとともに、これらの映像音声機器の開発で得られた設計資産が他の種類の映像音声機器にも流用することが可能な映像音声処理用集積回路を提供することを目的とする。

[0008] さらに、本発明は、映像や音声データを保存するメモリと各処理ブロックとのインターフェースにおける転送帯域やレイテンシ保証を容易に確保することができる映像音声処理用集積回路を提供することをも目的とする。

#### 課題を解決するための手段

[0009] 上記目的を達成するために、本発明に係る映像音声処理用集積回路は、映像及び音声信号を処理する映像音声処理用集積回路であって、CPUを含むマイコンブロックと、前記マイコンブロックによる制御の下で、外部装置と映像及び音声ストリームの入出力を行うストリーム入出力ブロックと、前記マイコンブロックによる制御の下で、前記ストリーム入出力ブロックに入力された、あるいは、前記ストリーム入出力ブロックから出力される映像及び音声ストリームの圧縮及び伸張の少なくとも1つを含むメディア処理を実行するメディア処理ブロックと、前記マイコンブロックによる制御の下で、前記メディア処理ブロックでメディア処理された映像及び音声ストリームを映像及び音声信号に変換して外部機器に出力、あるいは、外部機器から映像及び音声信号を取得し、前記メディア処理ブロックでメディア処理される映像及び音声ストリームに変換するAV入出力ブロックと、前記マイコンブロックによる制御の下で、前記マイコンブロック、前記ストリーム入出力ブロック、前記メディア処理ブロック及び前記AV入出

力ブロックとメモリとの間のデータ転送を制御するメモリインターフェースブロックとを備えることを特徴とする。

[0010] これによって、例えば、前記マイコンブロック、前記ストリーム入出力ブロック、前記メディア処理ブロック及び前記AV入出力ブロックは、専用のデータバスで前記メモリインターフェースブロックと接続され、前記マイコンブロック、前記ストリーム入出力ブロック、前記メディア処理ブロック及び前記AV入出力ブロックの間では、前記メモリを介して、前記映像及び音声ストリームの授受が行われるようにすることで、4種類の処理ブロックは、それぞれ、相互に接続されるのではなく、共通のメモリを介して接続される。したがって、各処理ブロックに対する制御プログラミングは、いずれも、メモリとの間でデータを入出力するように設計すればよく、他の処理ブロックでの処理と分離される。よって、各処理ブロックに対するアプリケーションプログラムの独立性が高まり、設計資産の流用が可能となる。

[0011] ここで、前記メモリインターフェースブロックは、前記マイコンブロック、前記ストリーム入出力ブロック、前記メディア処理ブロック及び前記AV入出力ブロックと前記メモリとの間のデータ転送が並列に行われるようにデータ転送を中継してもよいし、前記マイコンブロック、前記ストリーム入出力ブロック、前記メディア処理ブロック及び前記AV入出力ブロックは、前記映像及び音声ストリームを前記メモリに格納した後に、格納した旨を他のブロックに通知してもよい。これによって、メモリは、メモリインターフェースブロックを介して、各処理ブロックに共有されることとなり、メモリインターフェースブロックにデータ転送やアービトレーションの制御や管理処理を集中させることで、メモリと各処理ブロックとのインターフェースにおける転送帯域の確保やレイテンシ保証が容易となる。

[0012] また、前記ストリーム入出力ブロックは、例えば、前記外部装置と映像及び音声ストリームの送受信をするインターフェース部、送受信される映像及び音声ストリームの暗号又は復号を行う暗号処理部、及び、前記外部装置と前記メモリとのデータ転送を制御するダイレクトメモリアクセス制御部を有し、前記メディア処理ブロックは、例えば、複数の信号処理命令を並列に実行する命令並列プロセッサ、演算処理を実行するアクセラレータ、及び、前記メモリとのデータ転送を制御するダイレクトメモリアク

セス制御部を有し、前記AV入出力ブロックは、例えば、画像データのグラフィックス処理を行うグラフィックスエンジン、及び、映像信号のフォーマットを変換するフォーマット変換部を有し、前記メモリインターフェースブロックは、例えば、前記マイコンブロック、前記ストリーム入出力ブロック、前記メディア処理ブロック及び前記AV入出力ブロックと接続される複数のポート、及び、前記複数のポートそれぞれにおけるデータ転送のタイミングを調整するメモリスケジューラを有してもよい。

[0013] さらに、モバイル用のアプリケーションとして、前記マイコンブロックはさらに、前記CPUへのクロックの供給をON/OFFするクロック制御部及び電源の供給をON/OFFする電源制御部の少なくとも1つを有するのが好ましい。

[0014] また、サーバ用のアプリケーションとして、前記メディア処理ブロックはさらに、複数のデータに対する演算を並列に実行するデータ並列プロセッサを備えるのが好ましい。

[0015] また、前記映像音声処理用集積回路はさらに、前記ストリーム入出力ブロックと前記メディア処理ブロックとを接続する信号線を備え、前記メディア処理ブロックは、前記信号線を介して前記ストリーム入出力ブロックから入力される、あるいは、前記信号線を介して前記ストリーム入出力ブロックに出力する映像及び音声ストリームのメディア処理を実行してもよい。ストリーム入出力ブロックから送られてくるストリームデータが低ビットレートである場合には、高速動作するメディア処理ブロックが直接ストリームデータを受信してメディア処理を実行するほうが、メモリを経由しない分だけ、セキュリティ向上、消費電力削減と合わせて、処理効率が高くなり得るからである。

[0016] また、具体的なアプリケーションとして、前記映像音声処理用集積回路は、異なる複数の機器用のシステムLSIとして用いられ、前記機器には、デジタルテレビ、デジタルビデオレコーダ、ビデオカメラ及び携帯電話が含まれる。

[0017] そして、前記機器のうちの1つを第1機器、他の1つを第2機器とした場合に、CPUの命令セットに互換性をもたせたり、メディアプロセッサの命令セットに互換性をもたせたり、CPUあるいはメディアプロセッサのコアにソフトマクロの共通性をもたせたり、ハードマクロの共通性をもたせたり、メモリマップの共通性をもたせたりしてもよい。

[0018] また、前記AV入出力ブロックはさらに、前記メディア処理ブロックでメディア処理さ

れた映像ストリームから変換されるか又は外部機器から取得される映像信号を解像度変換処理することによって記録用映像信号を生成すると共に、前記記録用映像信号によって表される映像フィールドのフィールド内総和及びフィールド間差分の少なくとも一方を表すフィールド特徴情報を生成し、前記メディア処理ブロックはさらに、前記フィールド特徴情報を参照して前記記録用映像信号を記録用映像ストリームに変換してもよい。

[0019] また、好ましくは、前記映像音声処理用集積回路はさらに、前記メディア処理ブロックと前記AV入出力ブロックとを接続する信号線を備え、前記メディア処理ブロック及び前記AV入出力ブロックの間では、前記信号線を介して、前記フィールド特徴情報の授受が行われるとしてもよい。

[0020] この構成によれば、前記メディア処理ブロックは、前記AV入出力ブロックにおいて知られたフィールド特徴情報を参照して、記録画像の圧縮におけるIピクチャを決定し、また圧縮率を動的に調整できる。これによって、前記映像音声処理用集積回路は、フィールド特徴情報を得るための重複コストをかけることなく、高い速度性能を維持しながら、画質とデータ量との良好なトレードオフを達成することができる。

[0021] また、前記メディア処理ブロックは、一つの映像音声多重ストリームに関連して、ストリームの多重化又は多重分離処理、画像データの圧縮又は伸張処理、音声データの圧縮又は伸張処理を時分割に実行しつつ、前記ストリームの多重化又は多重分離処理が所定の時間内に複数回起動されることを禁止してもよい。

[0022] また、好ましくは、前記メディア処理ブロックは、複数の論理プロセッサを時分割に演じる仮想マルチプロセッサを有し、前記ストリームの多重化又は多重分離処理、前記画像データの圧縮又は伸張処理、前記音声データの圧縮又は伸張処理は、それぞれ前記仮想マルチプロセッサが演じる異なる論理プロセッサによって実行され、前記ストリームの多重化又は多重分離処理を実行する論理プロセッサは、前記ストリームの所定単位を処理し終わると、所定のタイマが満了するまでスリープするとしてもよい。

[0023] この構成によれば、放送系、及びストリームが過剰に入力され得る蓄積系の区別なく、ストリーム処理の過剰実行が自律的に抑制されるので、画像・音声処理の破綻が

未然に防がれるだけでなく、ストリーム入出力ブロックにおいてメディア処理ブロックへ送るストリーム量を上限管理することも不要になる。これらの総体として、各処理ブロックに対するアプリケーションプログラムの独立性、簡明性が向上し、ひいては設計資産の流用促進に貢献する。

- [0024] なお、本発明は、このようなシステムLSIとして実現することができるだけでなく、そのようなシステムLSIを用いた機器の設計開発方法として実現することもできる。つまり、デジタルテレビ、デジタルビデオレコーダ、ビデオカメラ及び携帯電話等の機器のうちの1つを第1機器、他の1つを第2機器とした場合に、前記第1機器用の映像音声処理用集積回路と前記第2機器用の映像音声処理用集積回路とで共通に行われる処理が、前記第1機器用の映像音声処理用集積回路のマイコンブロックで行われる場合は、前記処理を前記第2機器用の映像音声処理用集積回路のマイコンブロックで行い、前記第1機器用の映像音声処理用集積回路のストリーム入出力ブロックで行われる場合は、前記処理を前記第2機器用の映像音声処理用集積回路のストリーム入出力ブロックで行い、前記第1機器用の映像音声処理用集積回路のメディア処理ブロックで行われる場合は、前記処理を前記第2機器用の映像音声処理用集積回路のメディア処理ブロックで行い、前記第1機器用の映像音声処理用集積回路のAV入出力ブロックで行われる場合は、前記処理を前記第2機器用の映像音声処理用集積回路のAV入出力ブロックで行うように設計開発する方法として実現してもよい。
- 発明の効果

- [0025] 本発明により、DTVやDVR等のサーバ系映像音声機器だけでなく、携帯電話やビデオカメラ等のモバイル系映像音声機器についても、共通のシステムLSIを用いて実現することができる。そして、これらの映像音声機器間で、設計資産の流用が可能となる。
- [0026] また、映像や音声データを保存するメモリと各処理ブロックとのインターフェースにおける転送帯域の確保やレイテンシ保証が容易となり、短い期間で高機能な映像音声機器を開発することが可能となる。
- [0027] このように、本発明により、映像音声機器の開発期間が短縮化され、映像音声機器に対してますます高機能な映像音声処理が求められる今日における実用的価値は



極めて高い。

## 図面の簡単な説明

[0028] [図1]図1は、本発明に係る映像音声処理用集積回路の基本構成を示す機能ブロック図である。

[図2]図2は、映像音声処理用集積回路の構造図である。

[図3]図3は、モバイル系アプリケーションに適した映像音声処理用集積回路の詳細な構成を示す機能ブロック図である。

[図4]図4は、映像音声処理用集積回路の動作手順を示すフローチャートである。

[図5]図5は、図4に示された動作におけるデータの流れを示す図である。

[図6]図6(a)～図6(d)は、図4に示された動作における各処理ブロックでの処理の様子を示す図である。

[図7]図7は、サーバ系アプリケーションに適した映像音声処理用集積回路の詳細な構成を示す機能ブロック図である。

[図8]図8は、映像音声処理用集積回路の特徴を示す説明図である。

[図9]図9は、映像処理の性能を高めた映像音声処理用集積回路の詳細な構成を示す機能ブロック図である。

[図10]図10は、映像音声処理用集積回路の動作手順を示すフローチャートである。

[図11]図11は、図10に示された動作におけるデータの流れを示す図である。

[図12]図12(a)、図12(b)は、図10に示された動作における各処理ブロックでの処理内容を表す図である。

[図13]図13は、ストリーム処理に適した映像音声処理用集積回路の詳細な構成を示す機能ブロック図である。

[図14]図14は、ストリーム処理に係る仮想マルチプロセッサの動作手順を示すフローチャートである。

[図15]図15(a)、図15(b)は、図14に示された動作における仮想プロセッサの割当てタイミングを示す図である。

[図16]図16(a)～図16(c)は、2つのストリームを処理する場合の仮想プロセッサの割当てタイミングを示す図である。

## 符号の説明

- [0029]        1、100、100a、200、200a 映像音声処理用集積回路
- 1a 半導体基板
  - 1b 回路層
  - 1c 下位配線層
  - 1d 上位配線層
- 2、10、210    マイコンブロック
- 3、20、220    メディア処理ブロック
- 4、30、230    ストリームI/Oブロック
- 5、40、240    AVIOブロック
- 6、50、250    メモリIFブロック
- 7、60    制御バス
- 8a～8d、71～75   データバス
- 9    外部メモリ
- 11    DMA部
- 12    CPU部
- 13    マイコン周辺部
- 14    クロック制御部
- 15    電源制御部
- 21    命令並列プロセッサ
- 21a    仮想マルチプロセッサ
- 22    シーケンサ部
- 23～26    アクセラレータ部
- 27    DMAC部
- 28    ストリーム処理抑制タイマ
- 32    暗号エンジン部
- 33    セキュア管理部
- 34    DMAC部

- 35 ストリーム処理部
- 36 デバイスIF部
- 41 グラフィックスエンジン部
- 42 ビデオ入力フォーマット変換部
- 43 撮像処理エンジン部
- 44 オーディオIF部
- 45 ビデオ出力フォーマット変換部
- 51 メモリスケジューラ
- 51a～51c サブシステムIF
- 52 バッファ部
- 53 内蔵RAM
- 101 フラッシュメモリ
- 102 別CPU
- 102～104 外部デバイス
- 103 メモリカード
- 104 PDA
- 105 高速IF
- 106 SDRAM
- 107 LCD
- 108 デジタルカメラ
- 201 外部マスタ
- 202 TVチューナ
- 203 イーサコントローラ
- 205 USB
- 206 ハードディスク
- 207 光ディスク
- 208 差動IF
- 210、211 外部メモリ

- 212 大型LCD
- 221 データ並列プロセッサ
- 231 ストリーム処理部
- 232 デバイスIF部

### 発明を実施するための最良の形態

[0030] 以下、本発明の実施の形態について、図面を用いて詳細に説明する。

図1は、本発明に係る映像音声処理用集積回路1の基本構成を示す機能ブロック図である。本発明に係る映像音声処理用集積回路1は、後述するように、若干の回路構成を変更することで、携帯電話やビデオカメラ等のモバイル系の映像音声機器に適した回路構成、あるいは、DTVやDVR等のサーバ系映像音声機器に適した回路構成として実現することができるが、いずれのアプリケーションにも共通するアーキテクチャをもち、本図には、その共通アーキテクチャが示されている。

[0031] この映像音声処理用集積回路1は、映像音声ストリームに関する様々な信号処理を行うシステムLSIであり、マイコンブロック2、メディア処理ブロック3、ストリームI/Oブロック4、AVIO (Audio Visual Input Output) ブロック5及びメモリIFブロック6から構成される。

[0032] マイコンブロック2は、映像音声処理用集積回路1全体を制御するプロセッサであり、制御バス7を介して各処理ブロック3～6を制御したり、データバス8b及びメモリIFブロック6を介して外部メモリ9にアクセスしたりする回路ブロックである。ここでの処理は、映像音声の出力サイクル(フレームレート等)に依存しない非リアルタイムな汎用(制御関連の)処理である。

[0033] ストリームI/Oブロック4は、マイコンブロック2による制御の下で、蓄積メディアやネットワーク等の周辺デバイスから圧縮画像音声ストリーム等のストリームデータを読み込み、データバス8a及びメモリIFブロック6を介して外部メモリ9に格納したり、その逆方向のストリーム転送をしたりする回路ブロックである。ここでの処理は、映像音声の出力サイクル(フレームレート等)に依存しない非リアルタイムなIO処理である。

[0034] メディア処理ブロック3は、マイコンブロック2による制御の下で、データバスデータバス8c及びメモリIFブロック6を介して外部メモリ9から圧縮画像音声ストリーム等の

画像音声データを読み出し、圧縮又は伸張等のメディア処理を行った後に、再び、データバス8c及びメモリIFブロック6を介して、処理後の画像データや音声データを外部メモリ9に格納する回路ブロックである。ここでの処理は、映像音声の出力サイクル(フレームレート等)に依存するリアルタイムな汎用(メディア関連の)処理である。

[0035] AVIOブロック5は、マイコンブロック2による制御の下で、データバス8d及びメモリIFブロック6を介して外部メモリ9から画像データ及び音声データ等を読み出し、各種グラフィック処理等を施した後に、画像信号及び音声信号として外部の表示装置やスピーカ等へ出力したり、その逆方向のデータ転送をしたりする回路ブロックである。ここでの処理は、映像音声の出力サイクル(フレームレート等)に依存するリアルタイムなIO処理である。

[0036] メモリIFブロック6は、マイコンブロック2による制御の下で、各処理ブロック2～5と外部メモリ9との間で並列にデータ要求が行われるように制御する回路ブロックである。このとき、マイコンブロック2からの要求に応じて、各処理ブロック2～5と外部メモリ9との間の転送帯域を確保するとともに、レイテンシ保証を行う。

[0037] これによって、メディア処理ブロック3を始めとする各ブロックは、提供する機能に必要なバンド幅が確保されるとともに、要求したアクセスレイテンシが保証されることにより、ブロック単独または複数のブロックの合同動作で提供されるアプリケーションの性能保証およびリアルタイム性の保証を達成することができる。

[0038] なお、バンド幅を確保しレイテンシを保証するための技術は、その代表的な一例が特開2004-246862号公報に詳しく開示されているので、ここでは詳細な説明を省略する。

[0039] このように、本発明に係る映像音声処理用集積回路1は、リアルタイム性と処理の種類(IO処理／非IO(汎用的な)処理)との組み合わせで定められる4つの特徴的な処理ブロック2～5、つまり、非リアルタイムな汎用的な処理を実行するマイコンブロック2、リアルタイムな汎用的な処理を実行するメディア処理ブロック3、非リアルタイムなI/O処理を実行するストリームI/Oブロック4、及び、リアルタイムなI/O処理を実行するAVIOブロック5に加えて、それら4つの処理ブロック2～5と専用のデータバス8a～8dで接続されたメモリIFブロック6とから構成され、モバイル系のアプリケーションとサ

ーバ系のアプリケーションの両方に共通のアーキテクチャを備える。

[0040] つまり、4種類の処理ブロックは、それぞれ、相互に接続されるのではなく、共通の外部メモリ9を介して接続される。したがって、各処理ブロックに対する制御プログラミングは、いずれも、外部メモリ9との間でデータを入出力するように設計すればよく、他の処理ブロックでの処理と分離される。これによって、各処理ブロックに対するアプリケーションプログラムの独立性が高まり、各処理ブロックは、他の処理ブロックからの影響を受けることなく、各処理ブロックとメモリIFとの間の仕様のみを考慮するだけで設計することが可能になるため、設計効率を高めることができるとともに、他のアプリケーションに展開した場合であっても、必要なブロックの構成のみを変更することで、その他のアプリケーションの処理を行うことが可能になるため、設計資産の流用が可能となる。

[0041] たとえば、携帯電話等のモバイル系の映像音声機器に組み込むために開発した映像音声処理用集積回路のアプリケーションプログラム(例えば、携帯電話が受信した圧縮音声ストリームをメディア処理ブロックで伸張するアプリケーションプログラム)をDTV等のサーバ系映像音声機器に組み込む映像音声処理用集積回路のアプリケーションプログラム(例えば、DTVが受信したトランスポートストリームに含まれていた音声ストリームをメディア処理ブロックで伸張するアプリケーションプログラム)として流用することができる。

[0042] つまり、DTV、DVR、ビデオカメラ、携帯電話等の機器のうちの1つを第1機器、他の1つを第2機器とした場合に、第1機器用の映像音声処理用集積回路と第2機器用の映像音声処理用集積回路とで共通に行われる処理が、第1機器用の映像音声処理用集積回路のマイコンブロックで行われる場合は、その処理を第2機器用の映像音声処理用集積回路のマイコンブロックで行い、第1機器用の映像音声処理用集積回路のストリームI/Oブロックで行われる場合は、その処理を第2機器用の映像音声処理用集積回路のストリームI/Oブロックで行い、第1機器用の映像音声処理用集積回路のメディア処理ブロックで行われる場合は、その処理を第2機器用の映像音声処理用集積回路のメディア処理ブロックで行い、第1機器用の映像音声処理用集積回路のAVIOブロックで行われる場合は、その処理を第2機器用の映像音声処理

用集積回路のAVIOブロックで行うように設計開発することができる。このように、第1機器用の映像音声処理用集積回路の各ブロックの処理の分担を第2機器用の映像音声処理用集積回路の各ブロックの処理の分担と共通化することにより、各ブロックのハードウェア及びソフトウェアの設計資産を流用することができる。

[0043] なお、この映像音声処理用集積回路1は、1つの半導体基板上に形成された1チップLSIであるが、製造工程上の構成として、図2に示されるように、半導体基板1a、回路層1b、下位配線層1c及び上位配線層1dからなる。回路層1bは、各処理ブロック2～5の回路要素に相当し、下位配線層1cは、各処理ブロック2～5の回路要素を接続する各処理ブロック2～5内での配線に相当し、上位配線層1dは、各処理ブロック2～5間を接続するバス(制御バス7及びデータバス8a～8d)に相当する。このように、配線層を各処理ブロック内での配線と各処理ブロック間を接続する配線とに分離し、異なるマスキレイアウトとすることで、各処理ブロックの内部と外部での配線設計が分離され、設計が容易となる。

[0044] 次に、本発明に係る映像音声処理用集積回路のうち、携帯電話やビデオカメラ等のモバイル系アプリケーションに適したタイプの映像音声処理用集積回路について、より詳細に説明する。

[0045] 図3は、モバイル系アプリケーションに適した映像音声処理用集積回路100の詳細な構成を示す機能ブロック図である。

[0046] 映像音声処理用集積回路100は、無線通信や低消費電力化の機能が必要とされるモバイル系の映像音声機器に適したシステムLSIであり、マイコンブロック10、メディア処理ブロック20、ストリームI/Oブロック30、AVIOブロック40及びメモリIFブロック50から構成される。

[0047] マイコンブロック10は、制御バス60を介して各処理ブロック20～40を制御したり、データバス71を介してSDRAM(Synchronous DRAM)106にアクセスしたりする回路ブロックであり、DMA(Direct Memory Access)部11、CPU部12、マイコン周辺部13、クロック制御部14及び電源制御部15等を備える。

[0048] DMA部11は、ダイレクトメモリアクセス用のコントローラであり、例えば、外部バスを介して接続されたフラッシュメモリ101に格納されたユーザプログラム等をCPU部12

内のプログラムメモリ等に直接転送することによってダウンロードする。

[0049] CPU部12は、タイマー機能や割り込み機能を有するプロセッサコアであり、内部のプログラムメモリ等に格納されたプログラムに従って、この映像音声処理用集積回路100全体の制御を行う。なお、内部のプログラムメモリ等には、予めOS等の基本ソフトが格納されている。

[0050] マイコン周辺部13は、割り込み制御回路や周辺I/Oポート等である。

クロック制御部14は、クロックを各回路に供給するとともに、CPU部12等がアイドル状態等のときにCPU部12等へのクロック供給を停止する等により、低消費電力化を図る回路である。

[0051] 電源制御部15は、電源を各回路に供給するとともに、各処理ブロックがアイドル状態等のときに各処理ブロックへの電源供給を停止する等により、低消費電力化を図る回路である。

[0052] メディア処理ブロック20は、マイコンブロック10による制御の下で、SDRAM106からデータバスデータバス72a及び72bを介して読み出した画像・オーディオ・音声データをMPEG規格等に沿って圧縮・伸張する高速なDSP等であり、命令並列プロセッサ21、シーケンサ部22、第1～第4アクセラレータ(ACC; accelerator)部23～26及びDMAC部27等を備える。なお、このメディア処理ブロック20は、SDRAM106を介さずに、ストリームI/Oブロック30からデータバス74を介してストリームデータを直接受け取ることもできる。ストリームI/Oブロック30から送られてくるストリームデータが低ビットレートである場合には、高速動作するメディア処理ブロック20が直接ストリームデータを受信してメディア処理を実行するほうが、SDRAM106を経由しない分だけ、セキュリティ向上、消費電力削減と合わせて、処理効率が高くなり得るからである。

[0053] 命令並列プロセッサ21は、複数の命令(信号処理命令)を並列に実行するプロセッサであり、各構成要素22～27の全体制御を行う。

[0054] シーケンサ部22は、命令並列プロセッサ21による制御の下で、第1～第4アクセラレータ部23～26による処理シーケンスを制御する。

[0055] 第1～第4アクセラレータ部23～26は、それぞれ並列に動作し、画像・オーディオ・



音声データに対してDCT(Discrete Cosine Transform)、逆DCT、量子化、逆量子化、動き検出、動き補償等の圧縮・伸張等のメディア処理を行う演算処理エンジンである。

[0056] DMAC部27は、ダイレクトメモリアクセス用のコントローラであり、例えば、データバス72a及び72b等を介してSDRAM106との間でのデータの直接転送を制御する。

[0057] なお、このメディア処理ブロック20は、モバイル系アプリケーションのための低電力化対応回路となっている。具体的には、消費電力の高い汎用的なデータ処理プロセッサではなく、第1～第4アクセラレータ部23～26のような低消費電力の専用ハードエンジンによって実現されていること、処理データが存在しない等のアイドル状態を自動検知して停止したり(自動停止制御)、クロック供給を遮断したりする(ゲーテッドクロック)機能を備える。

[0058] ストリームI/Oブロック30は、外部デバイス102～104からストリームデータを受信し、データバス70を介してSDRAM106に格納したり、その逆のデータ転送をする回路ブロックであり、暗号エンジン部32、セキュア管理部33、DMAC部34、ストリーム処理部35及びデバイスIF部36等を備える。

[0059] 暗号エンジン部32は、入力された暗号化ストリームデータや鍵データ等を復号したり、外部デバイス102～104に渡す鍵データを暗号化したりする暗号器及び復号器である。

[0060] セキュア管理部33は、外部デバイス102～104との間で必要となる機器認証プロトコル等の実行制御をしたり、秘密鍵を保持したりする耐タンパな回路である。

[0061] DMAC部34は、ダイレクトメモリアクセス用のコントローラであり、例えば、デバイスIF部36を介して入力されるストリームデータをデータバス70を介してSDRAM106に直接転送する。

[0062] ストリーム処理部35は、デバイスIF部36を介して外部デバイス102～104から入力されたストリームデータを多重分離する。

[0063] デバイスIF部36は、携帯電話等に使用される通信用プロセッサ等の別CPU102との間で送受信するためのIOポート、SD(商標)カード等のメモリカード103との間で読み書きをするためのIOポート、PDA104等との間で赤外線通信等をするためのI

ポート等の集まりである。

- [0064] AVIOブロック40は、SDRAM106に格納された映像及び音声ストリームを、データバス73a及び73bを介して読み出し、LCD107等に出したり、デジタルカメラ108から送られてくる撮像データを、データバス73a及び73bを介してSDRAM106に格納したりする回路ブロックであり、グラフィックスエンジン部41、ビデオ入力フォーマット変換部42、撮像処理エンジン部43、オーディオIF部44及びビデオ出力フォーマット変換部45等を備える。
- [0065] グラフィックスエンジン部41は、フィルタ処理、画面合成、曲線描画、3D表示等のグラフィックス処理を行う高性能グラフィックスエンジンである。
- [0066] ビデオ入力フォーマット変換部42は、この映像音声処理用集積回路100に入力された映像データの色空間等に起因にする信号フォーマットを内部処理に適したフォーマットに変換する。
- [0067] 撮像処理エンジン部43は、デジタルカメラ108等から入力される静止画や動画に対する高画質撮像処理を行う。
- [0068] オーディオIF部44は、マイク・スピーカ等との間で音声信号を入出力するA/D変換器、D/A変換器等である。
- [0069] ビデオ出力フォーマット変換部45は、出力する映像信号の色空間等に起因する信号フォーマットをLCD107等に適合するフォーマットに変換する。
- [0070] メモリIFブロック50は、この映像音声処理用集積回路100とSDRAM106等の外部メモリや高速IF105との間でのデータ転送を制御するインターフェース回路であり、メモリスケジューラ51、バッファ部52及び内蔵RAM53等を備える。
- [0071] メモリスケジューラ51は、各処理ブロック10～40や高速IF105との間で並列にデータを入出力するポート(サブシステムIF51a～51c)を有するスケジューラであり、マイコンブロック10からの指示に従って、各サブシステムIF51a～51cごとに、一定の転送帯域を確保するとともに、レイテンシを保証している。
- [0072] バッファ部52は、SDRAM106とメモリスケジューラ51とのデータ転送を中継する高速なバッファメモリである。
- [0073] 内蔵RAM53は、メモリスケジューラ51が各サブシステムIF51a～51cごとに一定

帯域のデータ転送を保証するためのデータ退避用バッファメモリである。

[0074] 次に、以上のように構成された映像音声処理用集積回路100の動作について図4～図6を用いて説明する。

[0075] 図4は、メモ리카ード103から圧縮画像音声ストリームを読み出し、伸張した後に、画像信号及び音声信号として出力する場合の映像音声処理用集積回路100の動作手順を示すフローチャートである。図5は、そのときのデータの流れを示す図である。図6は、各処理ブロック20～40での処理の様子を示す図である。

[0076] まず、マイコンブロック10は、内蔵しているプログラムに従って、各処理ブロック20～40の初期設定等をする(図4のS10)。たとえば、メディア処理ブロック20に対してMPEG4に基づく伸張処理を指示し、ストリームI/Oブロック30に対してメモ리카ード103に格納された圧縮画像音声ストリームを読み出すように指示し、AVIOブロック40に対して音声出力とLCD107への映像出力を指示する。

[0077] 次に、ストリームI/Oブロック30は、メモ리카ード103に格納されている圧縮画像音声ストリームを読み出し、メモリIFブロック50を介してSDRAM106に格納する(図4のS11、図5のS20)。この圧縮画像音声ストリームは、例えば、図6(a)に示されるように、画像と音声のビット列が多重化された構造となっている。

[0078] 続いて、メディア処理ブロック20は、SDRAM106に格納された圧縮画像音声ストリームを読み出し、そのヘッダ情報等に基づいてパーサ処理等を行うことで、図6(b)に示されるような画像ストリームと音声ストリームとに多重分離し、分離した各ストリームデータをメモリIFブロック50を介してSDRAM106に書き戻す(図4のS12、図5のS21)。

[0079] そして、再び、メディア処理ブロック20は、SDRAM106から画像ストリームと音声ストリームを読み出し、伸張処理を施した後に、図6(c)に示される画像データ(例えば、画素ごとに8ビットで表現される画像データ)及び音声データ(16ビット／サンプルで表現される音声データ)としてSDRAM106に書き戻す(図4のS13、図5のS22)。

[0080] 最後に、AVIOブロック40は、SDRAM106から画像ストリームと音声ストリームを読み出し、画像ストリームについてはREC656フォーマット等へのフォーマット変換を

施し、音声ストリームについてはD/A変換等を施した後に、それぞれ、画像信号及び音声信号として、図6(d)に示されるように、LCD107やスピーカ等に出力する(図4のS14、図5のS23、S24)。

[0081] なお、上記各処理ブロックによる処理(図4のS11～S14)は、画像ストリームについてはパケット、マクロブロック、スライス、ピクチャ等の単位で、音声ストリームについてはパケット、フレーム等の単位でパイプライン処理される。そのとき、マイコンブロック10、メディア処理ブロック20、ストリームI/Oブロック30及びAVIOブロック40は、画像及び音声ストリームのパケット等をSDRAM106に格納した場合に、格納した旨を他のブロックに通知する。これによって各パイプライン工程が流れる。

[0082] このように、本発明に係る映像音声処理用集積回路100によれば、メモ리카ード103等の外部デバイスから与えられた圧縮画像音声ストリームは、画像ストリームと音声ストリームとに多重分離され、伸張された後に、フォーマット変換され、画像信号及び音声信号として出力される。つまり、1つのLSIと外部メモリ(SDRAM106)だけで、外部デバイスに格納された圧縮画像音声ストリームの再生が可能となる。

[0083] そして、この映像音声処理用集積回路100によれば、各処理ブロックごとに画像データや音声データを一時格納するバッファメモリを備えるのではなく、全ての処理ブロックに共通の共有メモリ(SDRAM106)を備える。したがって、各処理ブロックに割り当てるメモリサイズを自由に決定することができ、各処理ブロックでのデータ発生量や処理負荷が異なる様々なアプリケーションに対して、この映像音声処理用集積回路100を適用することができる。また、各ブロックは、独立してバッファメモリを備える必要がないため、この映像音声処理用集積回路100は、全体としてチップサイズを縮小化することができる。

[0084] 次に、本発明に係る映像音声処理用集積回路のうち、DTVやDVR等のサーバ系アプリケーションに適したタイプの映像音声処理用集積回路について、より詳細に説明する。

[0085] 図7は、サーバ系アプリケーションに適した映像音声処理用集積回路200の詳細な構成を示す機能ブロック図である。

[0086] この映像音声処理用集積回路200は、各種周辺デバイスとの接続や多種多様なメ

ディア処理が必要とされるサーバ系の映像音声機器に適したシステムLSIであり、マイコンブロック210、メディア処理ブロック220、ストリームI/Oブロック230、AVIOブロック240及びメモリIFブロック250から構成される。各処理ブロック210～250は、基本的には、上記映像音声処理用集積回路100の処理ブロック10～50と同様の構成を備える。以下、上記映像音声処理用集積回路100と同様の構成要素には同一の符号を付し、説明を省略する。

[0087] マイコンブロック210は、上記映像音声処理用集積回路100のマイコンブロック10からクロック制御部14と電源制御部15とを除いた構成を備える。サーバ系のアプリケーションでは、これらの低消費電力用回路が不要となるからである。なお、このマイコンブロック210は、外部バスを介して、映像音声機器のメインプロセッサとなる外部マスタ201と接続され、外部マスタ201による制御の下で動作することもできる。

[0088] メディア処理ブロック220は、上記映像音声処理用集積回路100のメディア処理ブロック20における1つのアクセラレータをデータ並列プロセッサ221に代えた構成を備える。データ並列プロセッサ221は、1つの命令で複数のデータに対する演算を実行するSIMD (Single Instruction Multiple Data) 型プロセッサであり、並列実行可能な8又は16個(低並列度又は高並列度)のPE(プロセッサエレメント)を備え、アクセラレータに比べて消費電力が大きい、データ処理量が大きく、処理できる演算の種類が豊富であり、多種多様なメディア処理が可能である。具体的には、MPEG2&4に対応した同時符号・復号化、HDTVの2ch分の映像信号の復号、PS (Program Stream)とTS (Transport Stream)との統合処理、MPEG4-AVCによる符号・復号化等のマルチフォーマットに対応した符号・復号化処理が可能なる。また、MPEG2からMPEG4への変換、HD (高解像度ビデオ信号)からSD (標準画質ビデオ信号)への変換、低ビットレート化等の各種変換も可能となる。さらに、画像を表示するディスプレイデバイスに応じた高画質化制御等も可能となり、サーバ系アプリケーションに必要とされる各種メディア処理に対応することができる。

[0089] ストリームI/Oブロック230は、上記映像音声処理用集積回路100のストリームI/Oブロック30におけるストリーム処理部35及びデバイスIF部36を、より豊富な周辺デバイスと接続可能なストリーム処理部231及びデバイスIF部232に代えた構成を備え

る。ストリーム処理部231は、映像音声処理用集積回路100のストリーム処理部35の機能に加えて、放送やネットワーク等にも対応するために、外部に接続されるTVチューナ202やイーサコントローラ203からのストリームを処理する機能も備える。デバイスIF部232は、USB205、メモリカード103用のインターフェース、ハードディスク206や光ディスク207用のディスクドライブインターフェース、差動IF208等の集まりである。

[0090] AVIOブロック240は、上記映像音声処理用集積回路100のAVIOブロック40から撮像処理エンジン部43を除いた構成を備え、小型のLCD107に代えて、SD/HD対応の大型LCD212に画像を出力する機能を有する。

[0091] メモリIFブロック250は、上記映像音声処理用集積回路100のメモリIFブロック50と同様の機能を有するが、外部メモリ210及び211として、通常のSDRAMだけでなく、DDR(Double Data Rate)型のSDRAMと接続する高速バスを備える。

[0092] このように、本発明に係る映像音声処理用集積回路200は、多くの種類の周辺デバイス用のインターフェース回路を備えるとともに、大容量で、かつ、多様なデータ処理にも対応できるメディア処理用プロセッサも備えるので、サーバ系の映像音声機器に適したシステムLSIである。このような映像音声処理用集積回路200を用いることで、高機能なDTVやDVR等のサーバ系の映像音声機器を短い期間で開発することができる。

[0093] 以上のように、本発明に係る映像音声処理用集積回路は、特徴的な5つの処理ブロック、つまり、あらゆる映像音声機器に共通の基本アーキテクチャを備えるとともに、各処理ブロックでの構成を変更することでモバイル系アプリケーションやサーバ系アプリケーションに適したタイプにカスタマイズすることができるという設計の自由度を有する。これによって、特定の機器の開発における設計資産を他の機器に流用することが可能となる。

[0094] さらに、複数のブロックが合同で動作することにより、TVチューナなどから入力されたストリームを処理した後に、指定されたコーデック方式で、ビデオ信号やオーディオ信号を生成し、外部LCDなどに画像出力したり、外部スピーカに音を出力する機能を提供するが、メモリIFブロック250は、各ブロックとの間で、提供する機能に必要な

バンド幅をそれぞれ確保するとともに、要求したアクセスレイテンシを保証する。これらにより、上記のストリーム処理、信号生成処理、出力処理などは、必要な性能を不足することなく、すなわち、TV機能の実現においても、映像がコマ落ちしたり、音声途切れたりすることなく、容易に達成できる。

[0095] 図8は、本発明に係る映像音声処理用集積回路の特徴を示す説明図である。

ここでは、本発明に係る映像音声処理用集積回路は2種類のアーキテクチャ(モバイル用及びサーバ用)をもつシステムLSIとして実現することができ、それら2種類の映像音声処理用集積回路は、共通設計思想をもち、かつ、API(アプリケーションプログラムインターフェース)による整合が可能であることが示されている。さらに、モバイル用の映像音声処理用集積回路は携帯電話等のモバイルコミュニケーション及びビデオカメラ等のAVCモバイルのシステムLSIとして、一方、サーバ用の映像音声処理用集積回路は、BDレコーダ等のAVCサーバ及びHDTV等のDTVのシステムLSIとして使用できることが示されている。

[0096] 以上のように、本発明に係る映像音声処理用集積回路は、大きく分けると、2つの用途(モバイル系及びサーバ系)、より詳細に分けると、4つの用途(DTV、AVCサーバ、AVCモバイル、モバイルコミュニケーション)における映像音声機器のシステムLSIとして適用することができ、かつ、それらの機器での設計資産の流用を可能にする。

[0097] 次に、本発明に係る映像音声処理用集積回路のうち、映像処理(特に再生と並行して行われる録画処理)の性能を高めた映像音声処理用集積回路について、より詳細に説明する。

[0098] 図9は、映像処理の性能を高めた映像音声処理用集積回路200aの詳細な構成を示す機能ブロック図である。

[0099] この映像音声処理用集積回路200aは、例えばハイビジョン放送番組(HD)を視聴しながらSDで録画したり、さらにはそのSD映像を追っかけ再生するといった応用において映像処理性能の向上を果たすべく構成されたシステムLSIであり、マイコンブロック210、メディア処理ブロック220a、ストリームI/Oブロック230、AVIOブロック240a及びメモリIFブロック250から構成される。

- [0100] 各処理ブロック210、220a、230、240a、250は、基本的には、上記映像音声処理用集積回路200の処理ブロック210～250と同様の構成を備える。この映像音声処理用集積回路200aは、画像ストリームとは別にそれから抽出される比較的少量のフィールド特徴情報を伝送するデータバス75が、メディア処理ブロック220aとAVIOブロック240aとを接続して設けられる点で特徴付けられる。以下、上記映像音声処理用集積回路200と同様の構成要素には同一の符号を付し、説明を省略する。
- [0101] メディア処理ブロック220aは、前述したメディア処理ブロック20及び220の特徴を継承する高速なDSP等であり、SDRAM210及び211からデータバスデータバス72a及び72bを介して読み出した画像・オーディオ・音声データをMPEG規格等に沿って圧縮・伸張する。例えばハイビジョン放送番組(HD)を視聴しながらSDに解像度変換して録画するといった応用においては、命令並列プロセッサ21又はデータ並列プロセッサ221、若しくはその両方が、視聴する圧縮HD画像音声多重ストリームの多重分離及び伸張処理と、記録される圧縮SD画像音声多重ストリームを得るための圧縮及び多重化処理とをコンカレントに実行し、それぞれの処理結果をSDRAM210及び211へ書き戻す。
- [0102] AVIOブロック240aは、メディア処理ブロック220aによる多重分離及び伸張処理の結果SDRAM210、211に書き戻されたHD画像データを、バス73a、73bを介して取得して大型LCD212へ出力すると同時に、そのHD画像データを解像度変換処理して得たSD画像データをSDRAM210、211へ書き戻す。そして、その処理の際に知られたフィールド特徴情報(例えば、フィールド内総和情報、フィールド間差分情報)を、データバス75を介してメディア処理ブロック220aへとフィードバックする。
- [0103] この解像度変換処理は、例えば、AVIOブロック240aのビデオ出力フォーマット変換部45によって行われる。ビデオ出力フォーマット変換部45は、前述したように、出力する映像信号の色空間等に起因する信号フォーマットを映像出力デバイスに適合するフォーマットに変換する機能を有しており、その具体機能であるダウンサンプリング及びデシメーションフィルタ機能をこの解像度変換処理に用いることができる。
- [0104] 再び、メディア処理ブロック220aは、このフィールド特徴情報を参照して、シーンチェンジが生じたフィールドやシーンチェンジの頻度を判断する。そして、その判断に



基づいて、例えばシーンチェンジ後のフレームをIピクチャと決定し、またシーンチェンジが多発する期間にはそうでない期間に比べて圧縮率を上げて圧縮後のデータ量の均一化を図りながら、SD画像データをSD画像ストリームに圧縮し、さらに多重化処理によって圧縮SD画像音声多重ストリームを生成し、生成された圧縮SD画像音声多重ストリームをSDRAM210及び211へ書き戻す。

[0105] 次に、以上のように構成された映像音声処理用集積回路200aの動作について図10～図12を用いて説明する。

[0106] 図10は、TVチューナ202からハイビジョン放送信号である圧縮HD画像音声多重ストリームを読み出し、画像信号及び音声信号として出力しながら、SD画像へと解像度変換して記録する場合の映像音声処理用集積回路200aの動作手順を示すフローチャートである。

[0107] 図11は、そのときの主要なデータの流れを示す図である。

図12は、処理ブロック220a、240aでの処理内容を表す図である。

[0108] まず、マイコンブロック10は、内蔵しているプログラムに従って、各処理ブロック220a、230、240aの初期設定等をする(図10のS30)。たとえば、メディア処理ブロック220aに対してMPEG4に基づく伸張処理(HD)及びMPEG2に基づく圧縮処理(SD)を指示し、ストリームI/Oブロック230に対してTVチューナ202から圧縮HD画像音声多重ストリームを取得すると共に圧縮SD画像音声多重ストリームをHDD206に記録するように指示し、AVIOブロック240aに対して音声出力と大型LCD212への映像出力と共に、HD画像からSD画像への解像度変換を指示する。

[0109] 次に、ストリームI/Oブロック230は、TVチューナ202から圧縮HD画像音声多重ストリームを読み出し、メディア処理ブロック220aは、その圧縮HD画像音声多重ストリームからヘッダ情報等に基づいてパーサ処理等を行うことによって画像ストリームと音声ストリームとを多重分離し、さらにその画像ストリームと音声ストリームとに伸張処理を施した後、画像データ及び音声データとしてSDRAM210、211に書き戻す。

[0110] ここまでの動作は、基本的には前述した映像音声処理用集積回路100の動作(図4及び図5を参照)と同じであり、画像の解像度、及び圧縮画像音声多重ストリームがメモ리카ードから得られるかTVチューナから得られるかが異なる。ここまでの動作に係

るデータの流れの図11への図示は、省略する。

- [0111] 続いて、AVIOブロック240は、SDRAM210、211からHD画像データと音声データを読み出し、図12(b)に示されるように、大型LCD212やスピーカ等に出力する(図10のS31、図11のS40a、S40b)。
- [0112] このHD画像の出力と並行して、AVIOブロック240は、そのHD画像に図12(a)に示されるような解像度変換処理を施して得られたSD画像データをSDRAM210、211へと書き戻すと共に、その処理の際に知られたフィールド内総和情報(フィールドの全体的な明るさを表す)、フィールド間差分情報(直前のフィールドとの明るさの差を表す)等といったフィールド特徴情報を生成する。このフィールド特徴情報は、例えばAVIOブロック240a内の図示しない小規模なバッファメモリにSD画像データのフィールドと対応付けて格納され、データバス75を介してメディア処理ブロック220aからの参照に供される(図10のS32、図11のS41a、S41b)。
- [0113] その後、メディア処理ブロック220aは、SDRAM210、211からSD画像データと音声データとを読み出すと共に、データバス75を介してフィールド特徴情報を参照して、Iピクチャを決定し、また圧縮率を動的に変更しながら、そのSD画像データと音声データとを圧縮処理することによってSD画像ストリーム及び音声ストリームを生成してSDRAM210、211へ書き戻す(図10のS33、図11のS42)。
- [0114] そして、再び、メディア処理ブロック220aは、SDRAM210、211からSD画像ストリームと音声ストリームとを読み出し、それらを多重化処理することによって生成した圧縮SD画像音声多重ストリームをSDRAM210、211へと書き戻す(図10のS34、図11のS43)。
- [0115] 最後に、ストリームI/Oブロック230は、SDRAM210、211から圧縮SD画像音声多重ストリームを読み出し、それをHDD206へと記録する(図10のS35、図11のS44)。
- [0116] この圧縮SD画像音声多重ストリームは、ハイビジョン放送の録画としてHDD206へ記録されてもよく、さらには所定の時間経過後に読み出され、図12(b)に示されるように、ハイビジョン放送と共にピクチャインピクチャ表示で追っかけ再生されるとしてもよい。後者の場合には、図10に示される動作にさらにHDD206に記録された圧縮

SD画像音声多重ストリームを再生する手順が追加される。

- [0117] 上記各処理ブロックによる一連の処理(図10のS31～S35)においては、視聴する放送番組のストリーム、記録されるストリーム、さらに追っかけ再生を行う場合には追っかけ再生用のストリームの、2つ乃至3つのストリームが、パケット、マクロブロック、スライス、ピクチャ、フレームといった周知の処理単位でパイプライン処理されることによって、コンカレントに処理される。
- [0118] このように、本発明に係る映像音声処理用集積回路200aによれば、メディア処理ブロック220aは、AVIOブロック240aにおいて知られたフィールド特徴情報を、データベース75を介して参照して、記録画像の圧縮におけるIピクチャを決定し、また圧縮率を動的に調整する。これによって、映像音声処理用集積回路200aは、フィールド特徴情報を得るための重複コストを避けて高い速度性能を得ると同時に、画質とデータ量との良好なトレードオフを達成することができる。
- [0119] なお、データベース75は、前述したように、比較的少量のフィールド特徴情報をメディア処理ブロック220aとAVIOブロック240aとの間に限定して伝送するため、各処理ブロックに対するアプリケーションプログラムの独立性への影響はごく僅かであり、また、映像音声処理用集積回路上に占める実装面積も小さい。
- [0120] ここまでに、AVIOブロック240aからメディア処理ブロック220aへフィールド特徴情報を供給することによって得られる優れた効果を、ハイビジョン放送の録画という顕著な例を用いて説明した。この例の他にも、例えば、前記映像音声処理用集積回路100(図3を参照)において、AVIOブロック40からメディア処理ブロック20へ同様のフィールド特徴情報を供給すれば、放送の録画のみならず、デジタルカメラ等の外部機器から取得される映像の録画において同様の効果を得ることができる。
- [0121] 次に、本発明に係る映像音声処理用集積回路のうち、放送系及び蓄積系それぞれの映像処理の共通化に適した映像音声処理用集積回路について、より詳細に説明する。ここで、放送系とはTVチューナ、及びインターネット等から得られる放送番組に係る処理を言い、蓄積系とはHDD、DVD、及びメモ리카ード等の記録媒体に蓄積されている番組に係る処理を言う。
- [0122] 図13は、放送系及び蓄積系それぞれの映像処理の共通化に適した映像音声処理

用集積回路100aの詳細な構成を示す機能ブロック図である。

- [0123] この映像音声処理用集積回路100aは、放送系の処理(例えばTVチューナから得られる放送番組の再生)機能、及び蓄積系の処理(例えばHDDに蓄積されている番組の再生)機能を持つシステムLSIであり、マイコンブロック10、メディア処理ブロック20a、ストリームI/Oブロック30、AVIOブロック40、及びメモリIFブロック50から構成される。
- [0124] この映像音声処理用集積回路100aは、メディア処理ブロック20aに、ストリーム処理抑制タイマ28を持つ仮想マルチプロセッサ21aを備える点で特徴付けられる。その他の構成は、基本的には、上記映像音声処理用集積回路100と同様である。
- [0125] 仮想マルチプロセッサ(VMP:Virtual Multi Processor)とは、一般的に、複数の論理プロセッサ(LP:Logical Processor)の機能を時分割に演じる命令並列プロセッサの一種を言う(一つのLPは、実体的には、物理プロセッサ(PP:Physical Processor)のレジスタ群に設定される一つのコンテキストである)。各LPに割り当てる時間単位(TS:Time Slot)の頻度を管理することによって、各LPによって実行されるアプリケーション間の負荷バランスを保つことができる。VMPの構成及び動作については、その代表的な一例が特開2003-271399号公報に詳しく開示されているので、ここでは詳細な説明を省略する。
- [0126] 以下、上記映像音声処理用集積回路100と同様の構成要素には同一の符号を付し、説明を省略する。
- [0127] メディア処理ブロック20aは、上記映像音声処理用集積回路100のメディア処理ブロック20と同様、圧縮画像音声多重ストリームに係る多重化・多重分離処理、及び画像・音声データの圧縮・伸張処理を行う回路ブロックであるが、命令並列プロセッサ21上で実現されている仮想マルチプロセッサ21aを備えている。
- [0128] 仮想マルチプロセッサ21aは、録画又は再生する圧縮画像音声多重ストリームごとに例えば3つのLP(ストリームLP、画像LP、及び音声LP)を用いて、ストリームの多重化又は多重分離、画像の圧縮又は伸張、及び音声の圧縮又は伸張をそれぞれ行う。
- [0129] これら各LPには、ストリーム、画像、及び音声それぞれの特性に応じてTSを割り当

てる。例えば、演算量を勘案して画像LPには音声LPよりも多くのTSを割り当てたり、また放送信号の取りこぼし(いわゆるストリーム落ち)を防ぐためにストリームLPを1パケット受信ごとにTSを割り当てられるイベントドリブンLPとするか、又はストリーム処理抑制タイマ28の制御下で所定時間内のTS割り当てが禁止されるタイマ抑制付きイベントドリブンLPとする。

[0130] 各LPへのこのようなTSの割り当てが、各処理間の負荷バランスを良好に保つと同時に、ストリーム落ちの防止に役立つことは明らかである。以下、ストリームLPをタイマ抑制付きイベントドリブンLPとすることが、放送系及び蓄積系それぞれの映像処理(特に再生処理)の共通化に役立つことを図14及び図15を用いて説明する。

[0131] 図14は、放送系及び蓄積系両方のストリーム処理を共通に実行するタイマ抑制付きイベントドリブンLPの動作手順を示すフローチャートである。

[0132] 図15は、そのときの各イベントの発生タイミング、及びストリーム、画像、音声の各LPが動作するTSを、放送系のストリームを処理する場合及び蓄積系ストリームを処理する場合それぞれについて示す図である。図面の右方向が時間の経過に対応し、帯はTSの並び、その中の文字はTSで動作するLPを表している(Stream、Video、及びAudioは、それぞれストリームLP、画像LP、及び音声LPを表し、空白は動作するLPがないことを表す)。

[0133] まず放送系の場合について、時間InFreqごとにTVチューナからパケットが取得され入力イベントが発生するものとして、図14及び図15(a)を用いて説明する。

[0134] 最初、入力イベント待ちでスリープしているストリームLPは(S50)、第Nパケットの入力イベントで起床して第1TSで動作を開始する。そして、そのパケットを時間StTime(N)で処理し終わると(S51)、時間(Infreq-StTime(N))よりも短い時間のタイマを起動し(S52)タイマイイベント待ちのスリープに入る(S53)。第2及び第3TSはそれぞれ画像及び音声LPに割り当てられる。

[0135] ストリームLPは、第4TS中に発生するタイマイイベントで起床する。そして、第5TSで動作を開始すると、入力イベントを確認し(S54)、N+1番パケットの入力イベントがあることを知って(S55: YES)、そのパケットを処理する(S51)。以降、同様の動作が繰り返される。

- [0136] ここで、一つの具体例として、仮想マルチプロセッサの動作クロック周波数が243[MHz]、ストリームが70[Mbps]で入力される場合を考えると、1秒あたりのパケット数は、 $70[\text{Mbps}] / (8[\text{bit}] \times 188[\text{byte}/\text{Packet}]) \div 46543[\text{Packet}/\text{sec}]$ 、パケットの処理周期InFreqは、 $243[\text{Mclock}/\text{sec}] / 46543[\text{Packet}/\text{sec}] \div 5221[\text{clock}/\text{packet}]$ である。
- [0137] このように、放送系の場合には、入力イベントそのものが比較的長い間隔で発生することによってストリームLPの処理が制限され、その結果、ストリーム、映像、音声の各LPの負荷バランスが良好に保たれる。
- [0138] 次に蓄積系の場合について、1パケットの処理中にHDDから後続パケットが取得され次の入力イベントが発生するが、その後続パケットの処理は放送系と同じ時間InFreq後に行いたいという要請があるものとして、図14及び図15(b)を用いて説明する。
- [0139] 最初、入力イベント待ちでスリープしているストリームLPは(S50)、第Nパケットの入力イベントで起床して第1TSで動作を開始する。そして、そのパケットを時間StTime(N)で処理し終わると(S51)、時間(InFreq-StTime(N))のタイマを起動し(S52)タイマイイベント待ちのスリープに入る(S53)。ストリームLPは、第1TS中に発生する第N+1パケットの入力イベントでは起床せずスリープし続ける(図15(b)の第N+1入力イベントから始まる太い点線)。
- [0140] ストリームLPが第N+1パケットを処理しない限り、ストリーム用のバッファを持たないストリームI/Oブロック30は後続パケットを読み込むことができず、第N+2パケットの読み出し処理は延期される。第2及び第3TSはそれぞれ画像及び音声LPに割り当てられる。
- [0141] ストリームLPは、第4TS中に発生するタイマイイベントで起床する。そして、第5TSで動作を開始すると、入力イベントを確認し(S54)、N+1番パケットの入力イベントがあることを知って(S55:YES)、そのパケットを処理し(S51)、その後タイマイイベント待ちのスリープに入る(S52、S53)。ストリームLPは、第5TS中に発生する第N+2パケットの入力イベントでは起床せずスリープし続ける(図15(b)の第N+2入力イベントから始まる太い点線)。以降、同様の動作が繰り返される。
- [0142] このように、蓄積系の場合には、入力イベントそのものは比較的短い間隔で発生し

得るのだが、そうなった場合でもタイマイイベント待ちのスリープによってストリームLPの処理が制限され、その結果、ストリーム、映像、音声の各LPの負荷バランスが良好に保たれる。

- [0143] もし、蓄積系で、ストリームLPがタイマイイベント待ちでスリープしなかったとすれば、ストリームを処理すればするだけ入力イベントが発生して結果的にストリームLPに過剰なTSを割り当てられ、画像LPや音声LPには必要量のTSが割り当てられず、画像・音声処理が破綻してしまう。
- [0144] 以上のように、本発明に係る映像音声処理用集積回路100aは、メディア処理ブロック20aにおける仮想マルチプロセッサ21aのタイマ抑制付きイベントドリブンLPによって、ストリーム処理を実行する。この処理は、放送系にも、またストリームが過剰に入力され得る蓄積系にも共通に用いられ、ストリーム処理の過剰実行を自律的に抑制して画像・音声処理の破綻を未然に防ぐだけでなく、ストリームI/Oブロック30においてメディア処理ブロック20aへ送るストリーム量を上限管理することも不要とする。これらの総体として、各処理ブロックに対するアプリケーションプログラムの独立性、簡明性が向上し、ひいては設計資産の流用促進に貢献する。
- [0145] なお、タイマ抑制付きイベントドリブンLPによるストリーム処理は、2つのチャンネルをコンカレントに処理する場合にも適用できる。
- [0146] 図16は、そのときの各イベントの発生タイミング、及びストリーム、映像、音声の各LPが動作するTSを、(a) 2つの放送系のストリームを処理する場合、(b) 放送系と蓄積系それぞれのストリームを処理する場合、(c) 2つの蓄積系のストリームを処理する場合それぞれについて示す図である。図面の右方向が時間の経過に対応し、帯はTSの列、その中の文字はTSで動作するLPを表している(文字S、V、及びAは、それぞれストリームLP、画像LP、及び音声LPを表し、空白は動作するLPがないことを表す。また、数字0、1はチャンネルを区別する)。
- [0147] 図に示されるように、それぞれのストリームの放送系、蓄積系の区別に応じて、前記説明したタイミング(図15(a)及び(b)を参照)でのイベントが発生する。蓄積系で、入力イベントによる起床がタイマイイベント待ちのスリープによって延期され、その結果ストリーム処理の過剰実行が防止されることは、前記と同様である。このように、タイマ抑

制付きイベントドリブンLPによるストリーム処理は、2つのチャンネルをコンカレントに処理する場合にも、ストリーム、画像、及び音声処理の負荷バランスを良好に保つ効果を発揮する。

[0148] 以上、本発明に係る映像音声処理用集積回路について、実施の形態に基づいて説明したが、本発明は、この実施の形態に限られるものではない。

[0149] たとえば、本発明に係る映像音声処理用集積回路はモバイル系とサーバ系の2つに分類されたが、これらの分類だけに限られない。たとえば、AV機能付きノートパソコン等のように、低消費電力と高解像度表示が求められる映像音声機器に適用する場合には、クロック制御部14、電源制御部15及びデータ並列プロセッサ221を併せ持つ映像音声処理用集積回路を採用すればよい。

[0150] また、上記4つの用途に適した映像音声処理用集積回路は、基本的に、図1に示された共通アーキテクチャを備えていればよく、各ブロックが完全に同一の回路で構成されている必要はない。例えば、上記4つの用途に属する機器のうちの1つを第1機器、他の1つを第2機器とした場合に、第1機器用の映像音声処理用集積回路と第2機器用の映像音声処理用集積回路との間において、(1)CPUの命令セットの少なくとも一部で互換性がある、(2)命令並列プロセッサの命令セットの少なくとも一部で互換性がある、(3)CPUのコアが同じ論理的接続(ソフトマクロ)を有している、(4)命令並列プロセッサのコアが同じ論理的接続を有している、(5)CPUのコアが同じマスクレイアウト(ハードマクロ)を有している、(6)CPUのメモリマップ上での各ブロックの制御レジスタ(各ブロックを制御するためのレジスタ)のアドレスが同じである、あるいは、各処理で使う外部メモリ9の領域が同じである等のいずれかの共通性があればよい。このような共通性によって、処理ブロックの単位で、アプリケーションプログラムの流用、あるいは、システムLSIとしての製造工程上の流用等が可能となり、全体としての開発効率が向上する。

[0151] また、本実施の形態では、各処理ブロックに共有されるメモリは、システムLSIに外付けされたが、システムLSIに内蔵されてもよい。

#### 産業上の利用可能性

[0152] 本発明は、映像音声を扱う機器用のシステムLSIとして、特に、DTV、DVDレコー



ダ等のAVCサーバ、デジタルカメラ等のAVCモバイル、携帯電話等のモバイルコミュニケーション等の映像音声機器のシステムLSIとして利用することができる。

### 請求の範囲

- [1] 映像及び音声信号を処理する映像音声処理用集積回路であって、  
CPUを含むマイコンブロックと、  
前記マイコンブロックによる制御の下で、外部装置と映像及び音声ストリームの入出力を行うストリーム入出力ブロックと、  
前記マイコンブロックによる制御の下で、前記ストリーム入出力ブロックに入力された、あるいは、前記ストリーム入出力ブロックから出力される映像及び音声ストリームの圧縮及び伸張の少なくとも1つを含むメディア処理を実行するメディア処理ブロックと、  
前記マイコンブロックによる制御の下で、前記メディア処理ブロックでメディア処理された映像及び音声ストリームを映像及び音声信号に変換して外部機器に出力、あるいは、外部機器から映像及び音声信号を取得し、前記メディア処理ブロックでメディア処理される映像及び音声ストリームに変換するAV入出力ブロックと、  
前記マイコンブロックによる制御の下で、前記マイコンブロック、前記ストリーム入出力ブロック、前記メディア処理ブロック及び前記AV入出力ブロックとメモリとの間のデータ転送を制御するメモリインターフェースブロックと  
を備えることを特徴とする映像音声処理用集積回路。
- [2] 前記マイコンブロック、前記ストリーム入出力ブロック、前記メディア処理ブロック及び前記AV入出力ブロックは、専用のデータバスで前記メモリインターフェースブロックと接続され、  
前記マイコンブロック、前記ストリーム入出力ブロック、前記メディア処理ブロック及び前記AV入出力ブロックの間では、前記メモリを介して、前記映像及び音声ストリームの授受が行われる  
ことを特徴とする請求項1記載の映像音声処理用集積回路。
- [3] 前記メモリインターフェースブロックは、前記マイコンブロック、前記ストリーム入出力ブロック、前記メディア処理ブロック及び前記AV入出力ブロックと前記メモリとの間のデータ転送が並列に行われるようにデータ転送を中継する  
ことを特徴とする請求項2記載の映像音声処理用集積回路。

- [4] 前記マイコンブロック、前記ストリーム入出力ブロック、前記メディア処理ブロック及び前記AV入出力ブロックは、前記映像及び音声ストリームをバッファリングするためのバッファメモリを有しない
- ことを特徴とする請求項2記載の映像音声処理用集積回路。
- [5] 前記マイコンブロック、前記ストリーム入出力ブロック、前記メディア処理ブロック及び前記AV入出力ブロックは、前記映像及び音声ストリームを前記メモリに格納した後に、格納した旨を他のブロックに通知する
- ことを特徴とする請求項2記載の映像音声処理用集積回路。
- [6] 前記ストリーム入出力ブロックは、前記外部装置と映像及び音声ストリームの送受信をするインターフェース部、送受信される映像及び音声ストリームの暗号又は復号を行う暗号処理部、及び、前記外部装置と前記メモリとのデータ転送を制御するダイレクトメモリアクセス制御部を有し、
- 前記メディア処理ブロックは、複数の信号処理命令を並列に実行する命令並列プロセッサ、演算処理を実行するアクセラレータ、及び、前記メモリとのデータ転送を制御するダイレクトメモリアクセス制御部を有し、
- 前記AV入出力ブロックは、画像データのグラフィックス処理を行うグラフィックスエンジン、及び、映像信号のフォーマットを変換するフォーマット変換部を有し、
- 前記メモリインターフェースブロックは、前記マイコンブロック、前記ストリーム入出力ブロック、前記メディア処理ブロック及び前記AV入出力ブロックと接続される複数のポート、及び、前記複数のポートそれぞれにおけるデータ転送のタイミングを調整するメモリスケジューラを有する
- ことを特徴とする請求項2記載の映像音声処理用集積回路。
- [7] 前記マイコンブロックはさらに、前記CPUへのクロックの供給をON/OFFするクロック制御部及び電源の供給をON/OFFする電源制御部の少なくとも1つを有する
- ことを特徴とする請求項6記載の映像音声処理用集積回路。
- [8] 前記メディア処理ブロックはさらに、複数のデータに対する演算を並列に実行するデータ並列プロセッサを備える
- ことを特徴とする請求項6記載の映像音声処理用集積回路。

- [9] 前記映像音声処理用集積回路はさらに、前記ストリーム入出力ブロックと前記メディア処理ブロックとを接続する信号線を備え、  
前記メディア処理ブロックは、前記信号線を介して前記ストリーム入出力ブロックから入力される、あるいは、前記信号線を介して前記ストリーム入出力ブロックに出力する映像及び音声ストリームのメディア処理を実行すること  
ことを特徴とする請求項2記載の映像音声処理用集積回路。
- [10] 前記マイコンブロック、前記ストリーム入出力ブロック、前記メディア処理ブロック、前記AV入出力ブロック及び前記メモリインターフェースブロックにおける回路素子と回路素子間の配線は、それぞれ、半導体基板上の回路層及び第1配線層に形成され、  
前記データバスは、前記第1配線層の上に位置する第2配線層に形成されている  
ことを特徴とする請求項2記載の映像音声処理用集積回路。
- [11] 前記映像音声処理用集積回路は、異なる複数の機器用のシステムLSIとして用いられ、  
前記機器には、デジタルテレビ、デジタルビデオレコーダ、ビデオカメラ及び携帯電話が含まれる  
ことを特徴とする請求項2記載の映像音声処理用集積回路。
- [12] 前記機器のうちの1つを第1機器、他の1つを第2機器とした場合に、  
前記第1機器用の映像音声処理用集積回路と前記第2機器用の映像音声処理用集積回路とで共通に行われる処理が、  
前記第1機器用の映像音声処理用集積回路のマイコンブロックで行われる場合は、前記処理が前記第2機器用の映像音声処理用集積回路のマイコンブロックで行われ、  
前記第1機器用の映像音声処理用集積回路のストリーム入出力ブロックで行われる場合は、前記処理が前記第2機器用の映像音声処理用集積回路のストリーム入出力ブロックで行われ、  
前記第1機器用の映像音声処理用集積回路のメディア処理ブロックで行われる場合は、前記処理が前記第2機器用の映像音声処理用集積回路のメディア処理ブロックで行われ、

クで行われ、

前記第1機器用の映像音声処理用集積回路のAV入出力ブロックで行われる場合は、前記処理が前記第2機器用の映像音声処理用集積回路のAV入出力ブロックで行われる

ことを特徴とする請求項11記載の映像音声処理用集積回路。

[13] 前記機器のうちの1つを第1機器、他の1つを第2機器とした場合に、

前記第1機器用の映像音声処理用集積回路のCPUと前記第2機器用の映像音声処理用集積回路のCPUとは、命令セットの一部が互換性を有する

ことを特徴とする請求項11記載の映像音声処理用集積回路。

[14] 前記メディア処理ブロックは、複数の信号処理命令を並列に実行する命令並列プロセッサを有し、

前記機器のうちの1つを第1機器、他の1つを第2機器とした場合に、

前記第1機器用の映像音声処理用集積回路の命令並列プロセッサと前記第2機器用の映像音声処理用集積回路の命令並列プロセッサとは、命令セットの一部が互換性を有する

ことを特徴とする請求項11記載の映像音声処理用集積回路。

[15] 前記メディア処理ブロックは、複数の信号処理命令を並列に実行する命令並列プロセッサを有し、

前記機器のうちの1つを第1機器、他の1つを第2機器とした場合に、

前記第1機器用の映像音声処理用集積回路のCPUのコアと前記第2機器用の映像音声処理用集積回路のCPUのコアとは、同じ論理的接続を有し、

前記第1機器用の映像音声処理用集積回路の命令並列プロセッサのコアと前記第2機器用の映像音声処理用集積回路の命令並列プロセッサのコアとは、同じ論理的接続を有する

ことを特徴とする請求項11記載の映像音声処理用集積回路。

[16] 前記メディア処理ブロックは、複数の信号処理命令を並列に実行する命令並列プロセッサを有し、

前記機器のうちの1つを第1機器、他の1つを第2機器とした場合に、

前記第1機器用の映像音声処理用集積回路のCPUのコアと前記第2機器用の映像音声処理用集積回路のCPUのコアとは、同じマスキレイアウトを有し、

前記第1機器用の映像音声処理用集積回路の命令並列プロセッサのコアと前記第2機器用の映像音声処理用集積回路の命令並列プロセッサのコアとは、同じマスキレイアウトを有する

ことを特徴とする請求項11記載の映像音声処理用集積回路。

[17] 前記機器のうちの1つを第1機器、他の1つを第2機器とした場合に、

前記第1機器用の映像音声処理用集積回路における前記CPUのメモリマップ上での前記ストリーム入出力ブロック、前記メディア処理ブロック、前記AV入出力ブロック及び前記メモリインターフェースブロックの制御レジスタのアドレスと前記第2機器用の映像音声処理用集積回路における前記CPUのメモリマップ上での前記ストリーム入出力ブロック、前記メディア処理ブロック、前記AV入出力ブロック及び前記メモリインターフェースブロックの制御レジスタのアドレスとが共通する

ことを特徴とする請求項11記載の映像音声処理用集積回路。

[18] 請求項1記載の映像音声処理用集積回路を用いて機器を設計開発する方法であって、

前記機器には、デジタルテレビ、デジタルビデオレコーダ、ビデオカメラ及び携帯電話が含まれる

ことを特徴とする機器の設計開発方法。

[19] 前記機器のうちの1つを第1機器、他の1つを第2機器とした場合に、

前記第1機器用の映像音声処理用集積回路と前記第2機器用の映像音声処理用集積回路とで共通に行われる処理が、

前記第1機器用の映像音声処理用集積回路のマイコンブロックで行われる場合は、前記処理を前記第2機器用の映像音声処理用集積回路のマイコンブロックで行い、

前記第1機器用の映像音声処理用集積回路のストリーム入出力ブロックで行われる場合は、前記処理を前記第2機器用の映像音声処理用集積回路のストリーム入出力ブロックで行い、

前記第1機器用の映像音声処理用集積回路のメディア処理ブロックで行われる場合は、前記処理を前記第2機器用の映像音声処理用集積回路のメディア処理ブロックで行い、

前記第1機器用の映像音声処理用集積回路のAV入出力ブロックで行われる場合は、前記処理を前記第2機器用の映像音声処理用集積回路のAV入出力ブロックで行う

ように設計開発することを特徴とする請求項18記載の機器の設計開発方法。

- [20] 前記AV入出力ブロックはさらに、前記メディア処理ブロックでメディア処理された映像ストリームから変換されるか又は外部機器から取得される映像信号を解像度変換処理することによって記録用映像信号を生成すると共に、前記記録用映像信号によって表される映像フィールドのフィールド内総和及びフィールド間差分の少なくとも一方を表すフィールド特徴情報を生成し、

前記メディア処理ブロックはさらに、前記フィールド特徴情報を参照して前記記録用映像信号を記録用映像ストリームに変換する

ことを特徴とする請求項2記載の映像音声処理用集積回路。

- [21] 前記映像音声処理用集積回路はさらに、前記メディア処理ブロックと前記AV入出力ブロックとを接続する信号線を備え、

前記メディア処理ブロック及び前記AV入出力ブロックの間では、前記信号線を介して、前記フィールド特徴情報の授受が行われる

ことを特徴とする請求項20記載の映像音声処理用集積回路。

- [22] 前記メディア処理ブロックは、一つの映像音声多重ストリームに関連して、ストリームの多重化又は多重分離処理、画像データの圧縮又は伸張処理、音声データの圧縮又は伸張処理を時分割に実行しつつ、前記ストリームの多重化又は多重分離処理が所定の時間内に複数回起動されることを禁止する

ことを特徴とする請求項2記載の映像音声処理用集積回路。

- [23] 前記メディア処理ブロックは、複数の論理プロセッサを時分割に演じる仮想マルチプロセッサを有し、

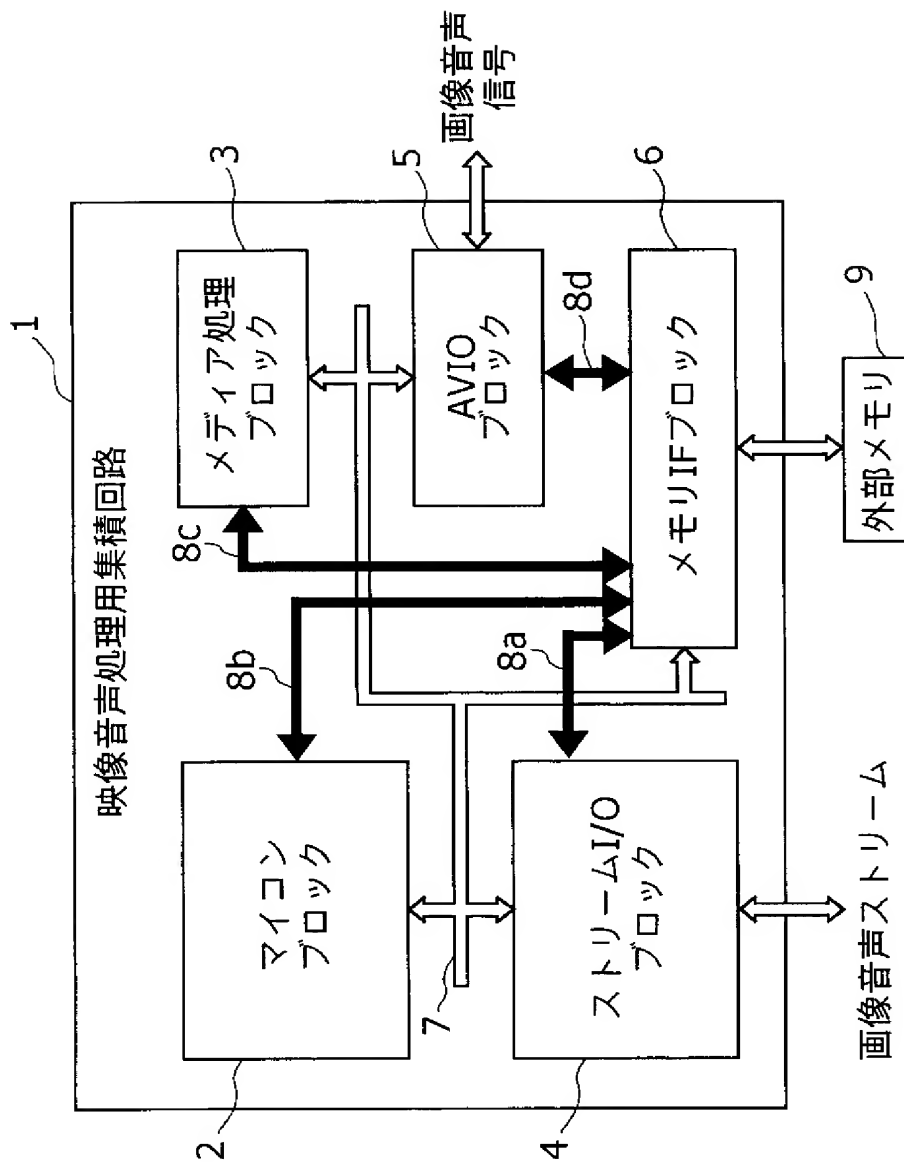
前記ストリームの多重化又は多重分離処理、前記画像データの圧縮又は伸張処理

、前記音声データの圧縮又は伸張処理は、それぞれ前記仮想マルチプロセッサが演じる異なる論理プロセッサによって実行され、

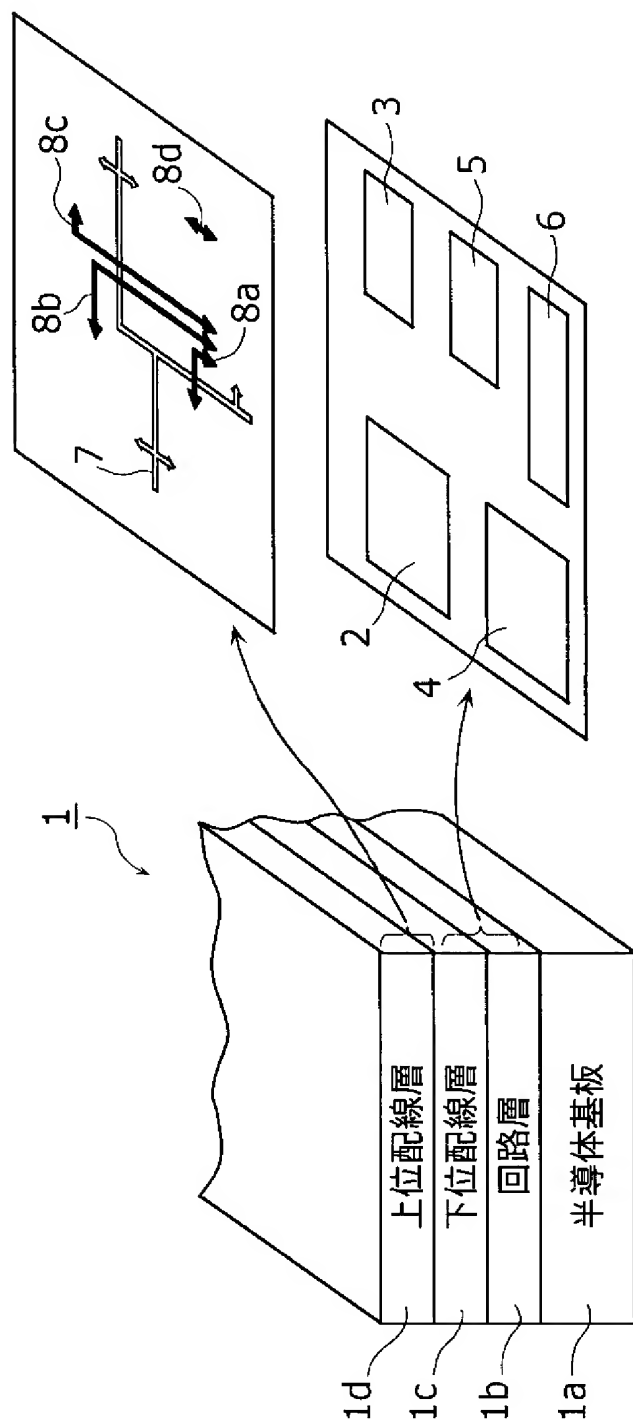
前記ストリームの多重化又は多重分離処理を実行する論理プロセッサは、前記ストリームの所定単位を処理し終わると、所定のタイマが満了するまでスリープすることを特徴とする請求項22記載の映像音声処理用集積回路。



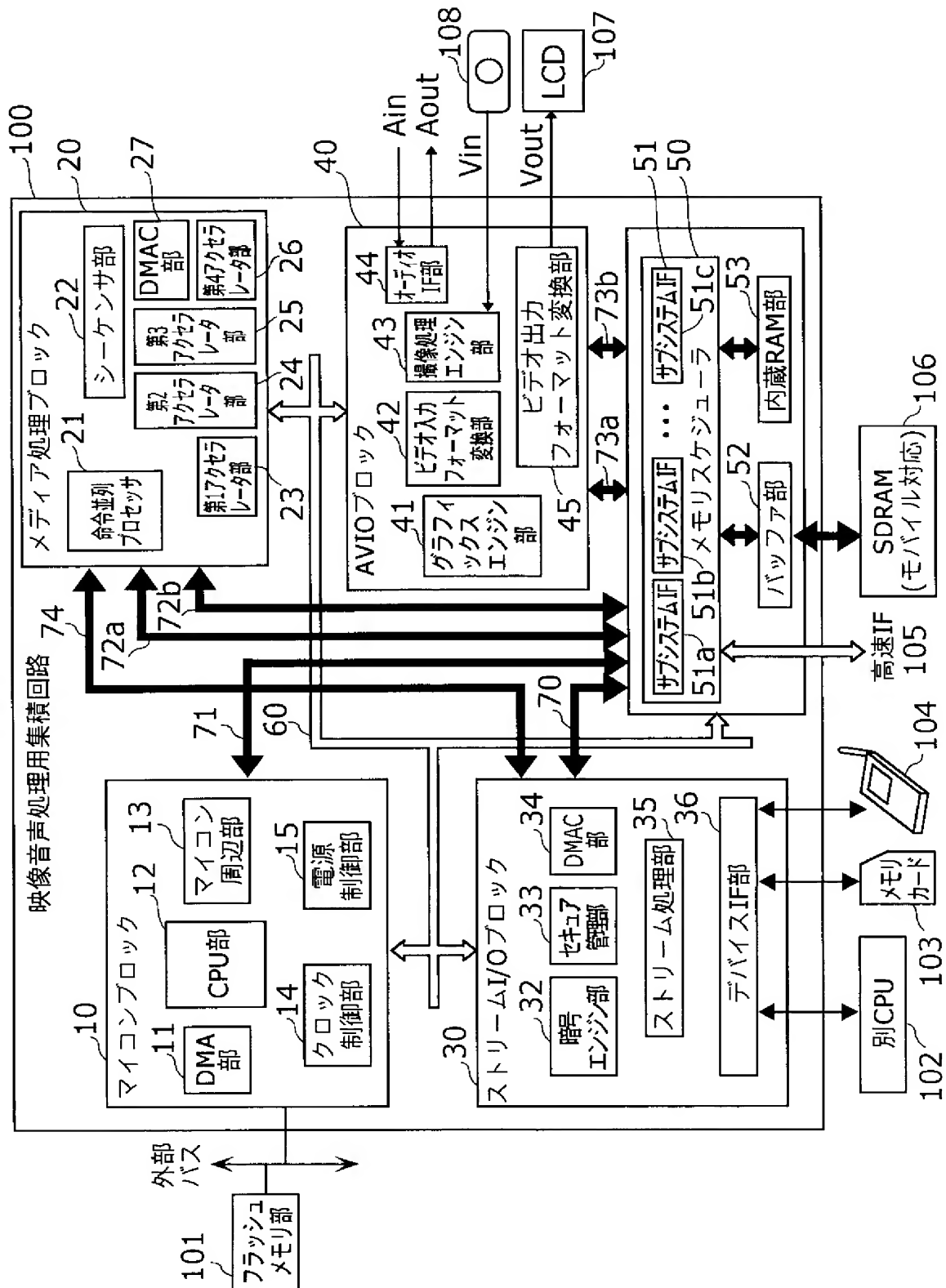
[図1]



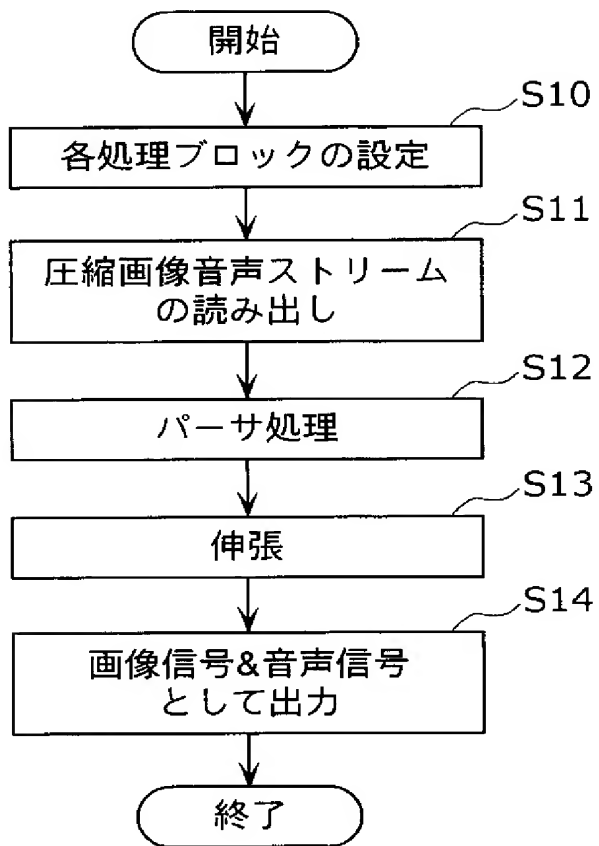
[図2]



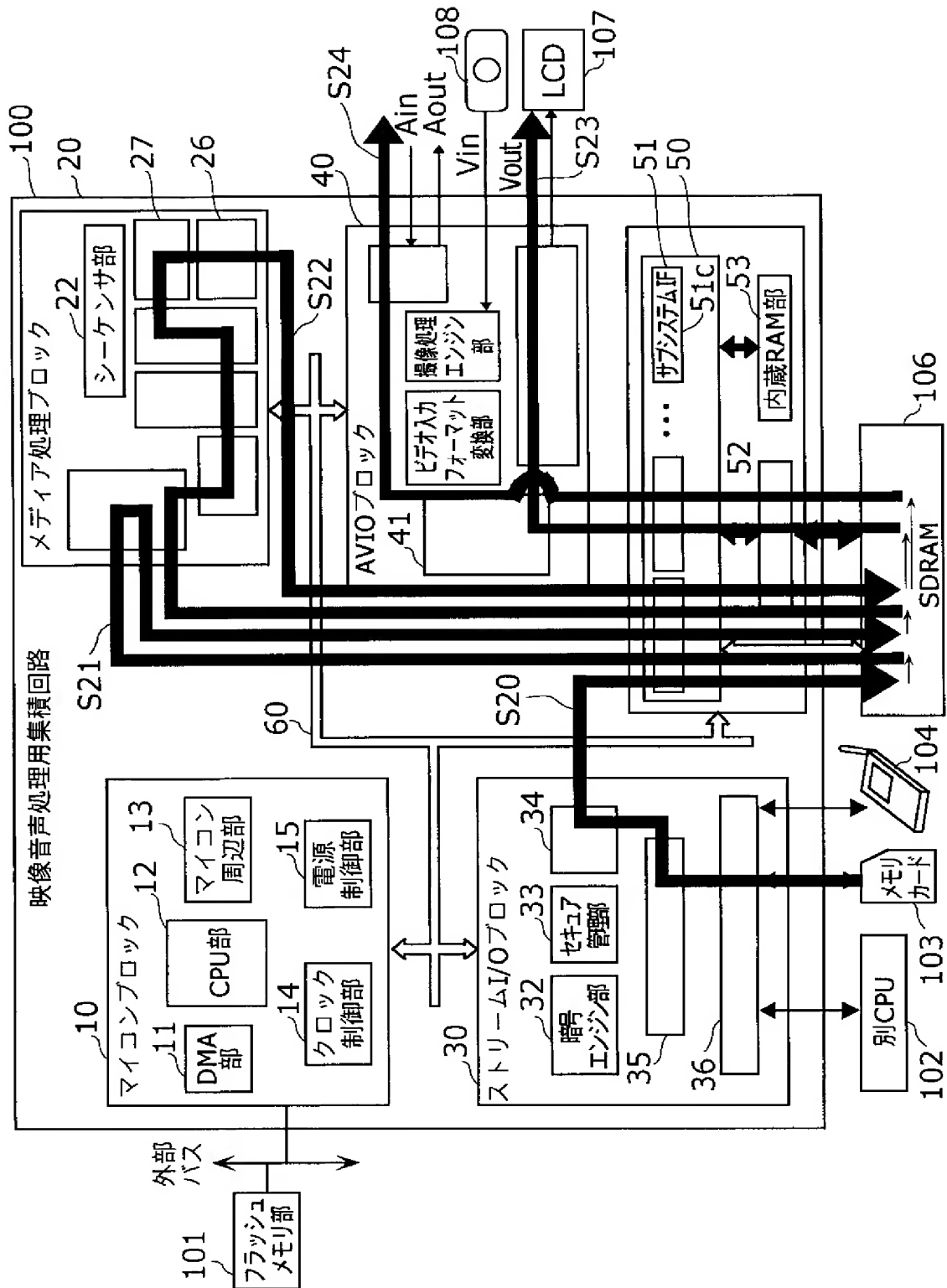
[図3]



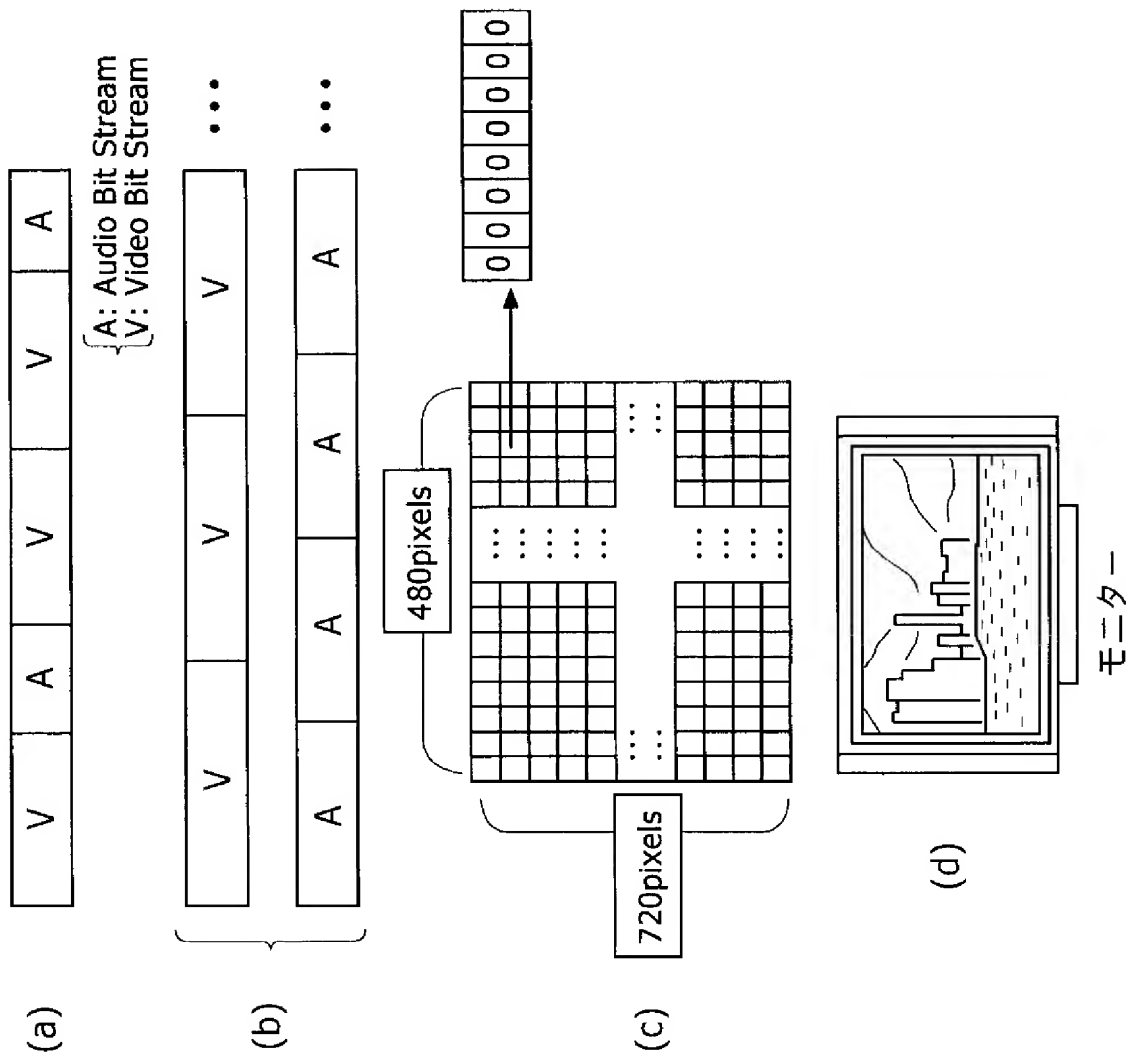
[図4]



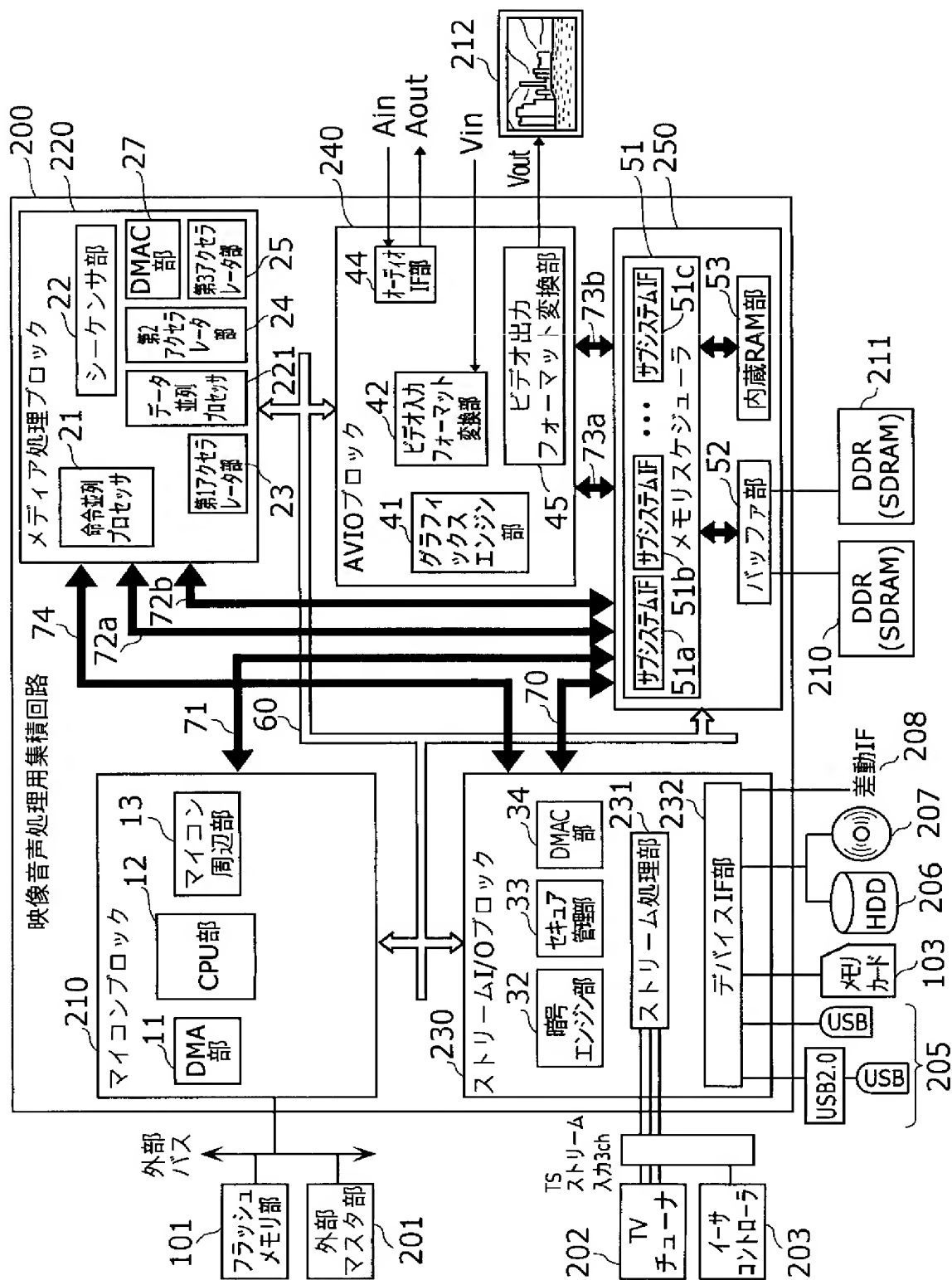
[図5]



[図6]



[図7]



[图8]

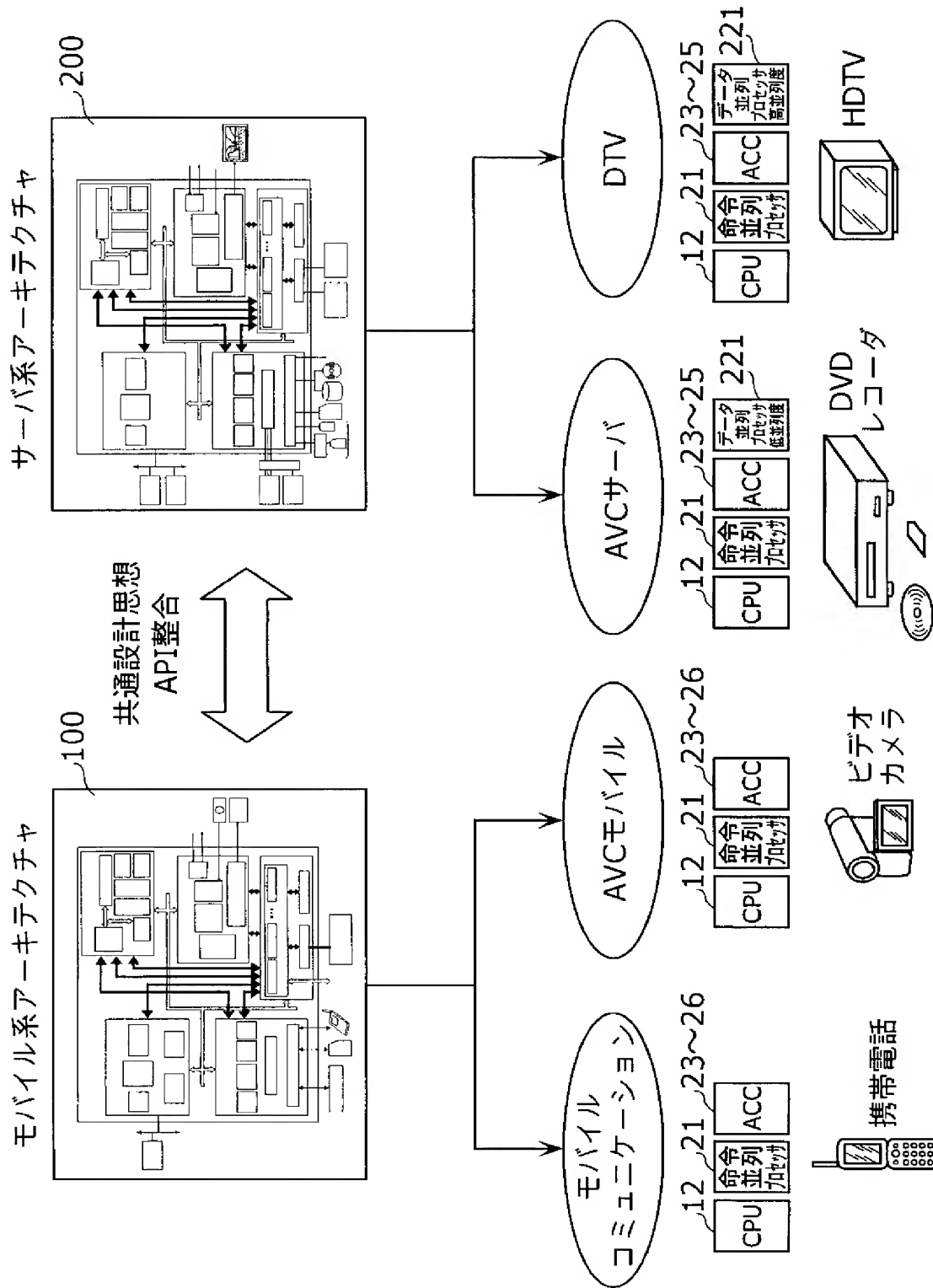
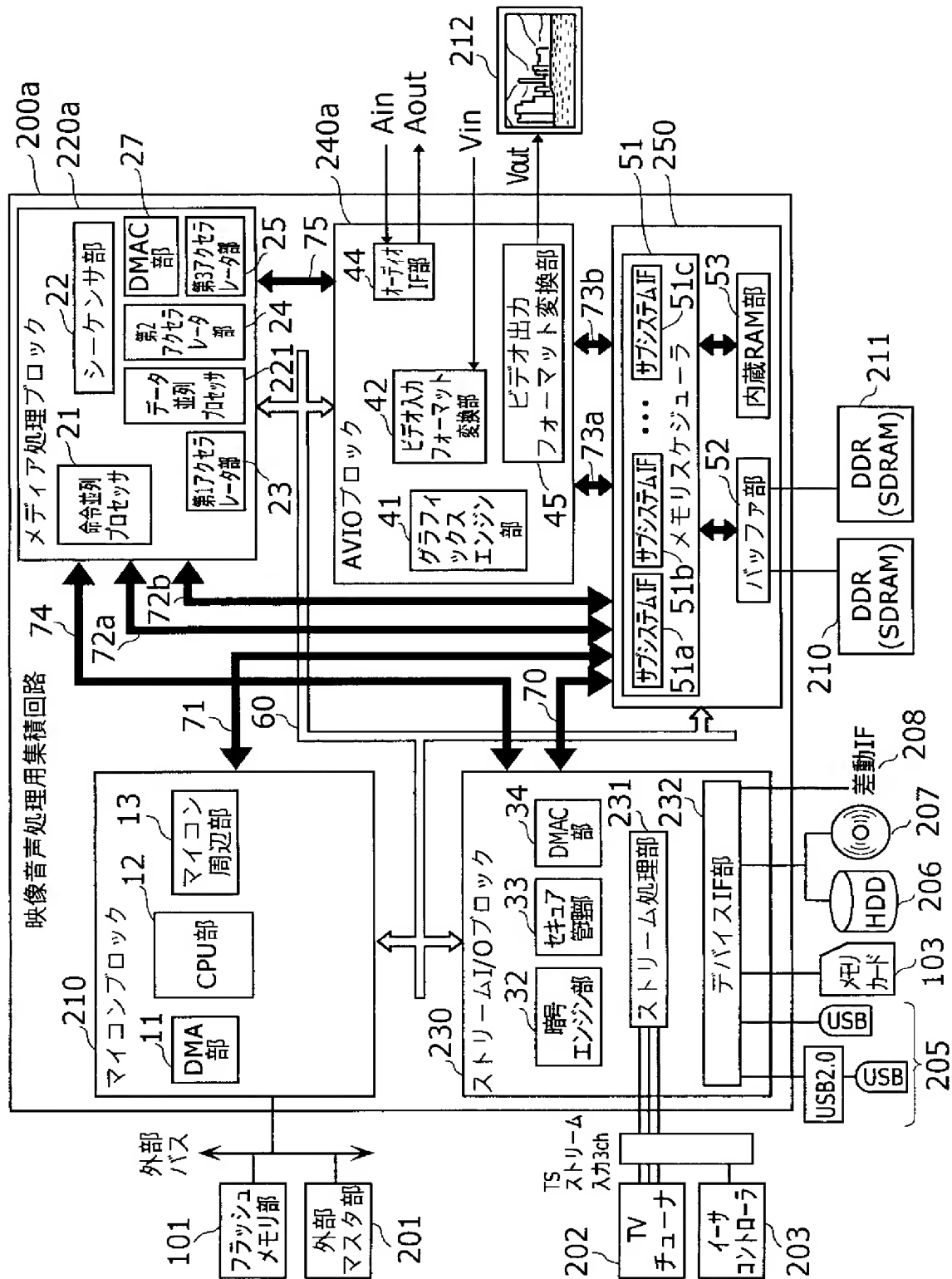
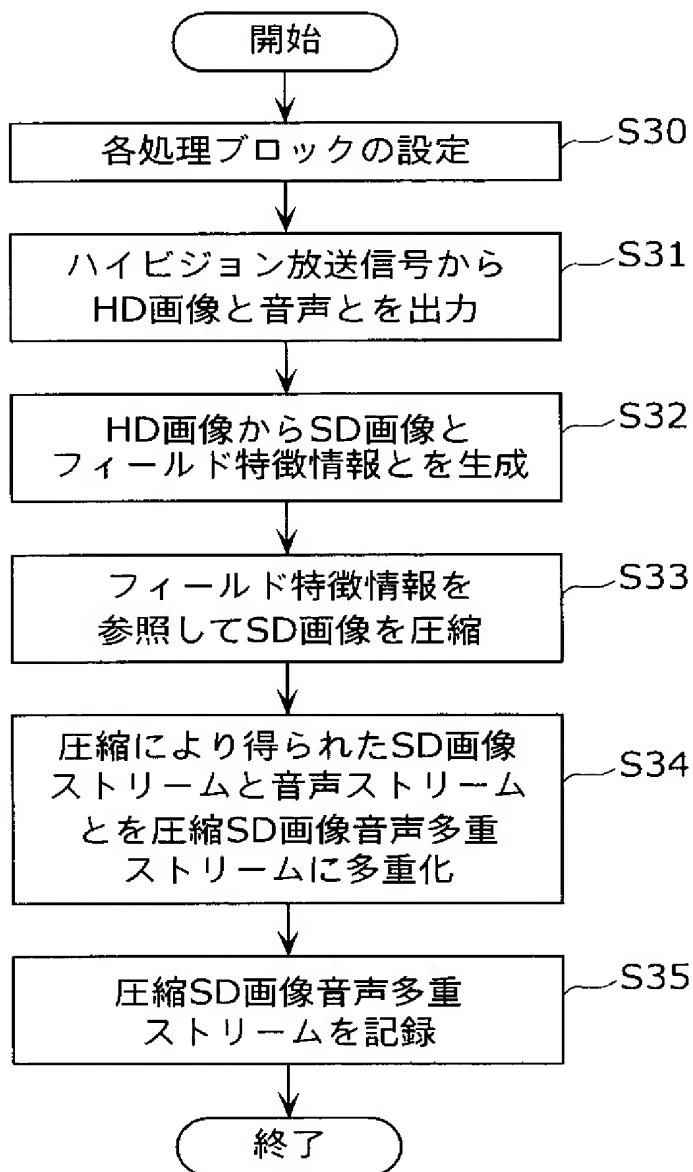




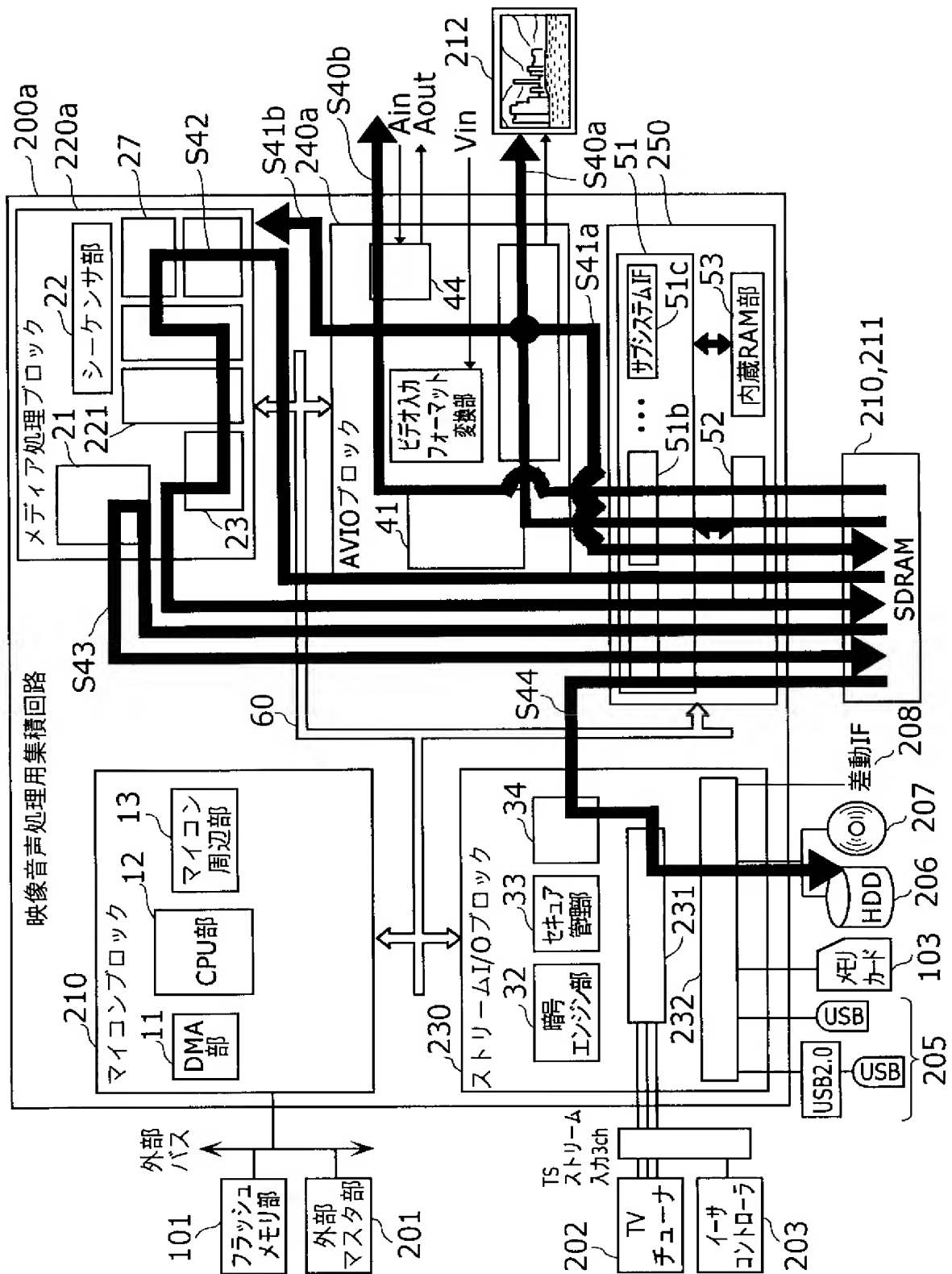
図9



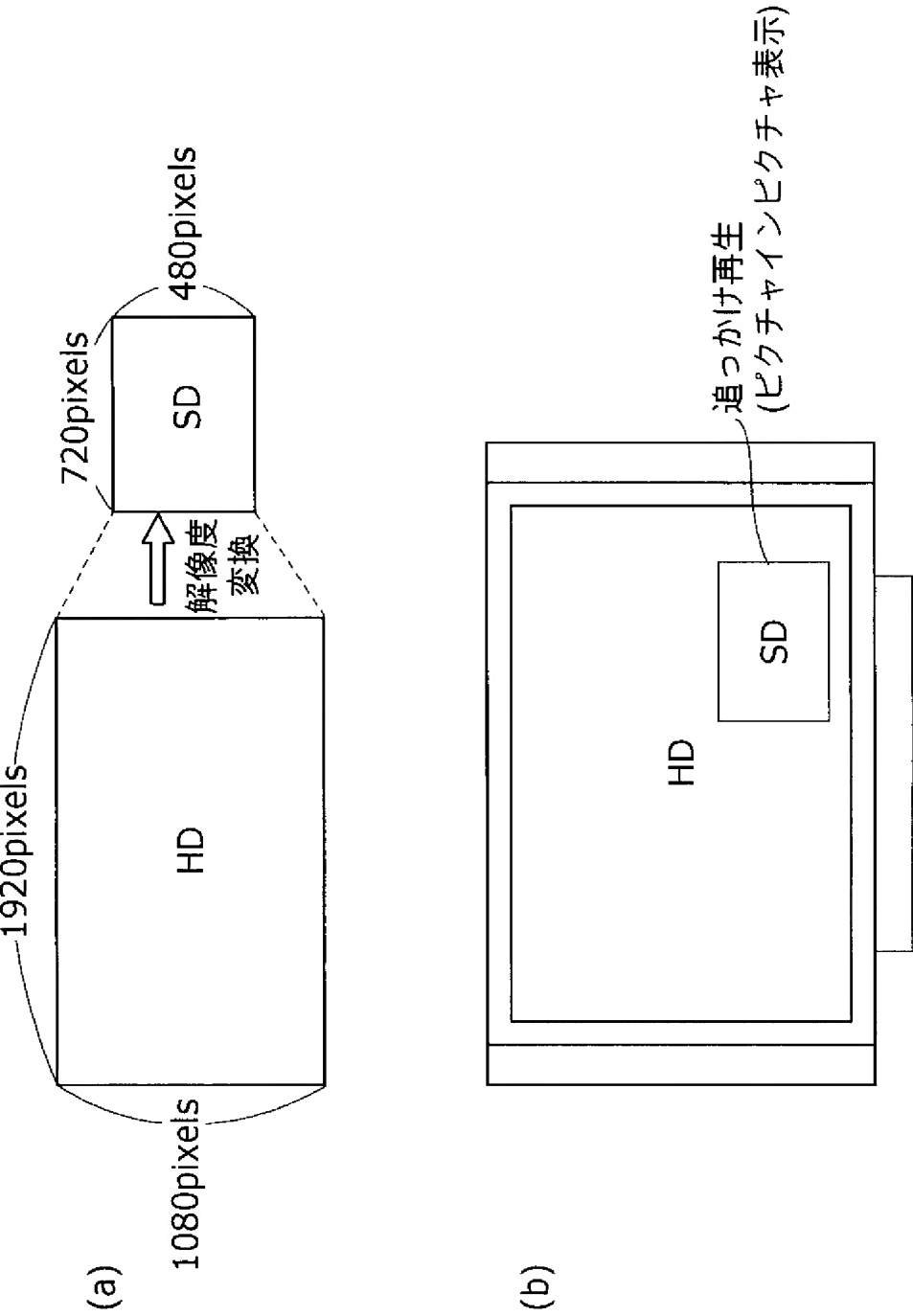
[図10]



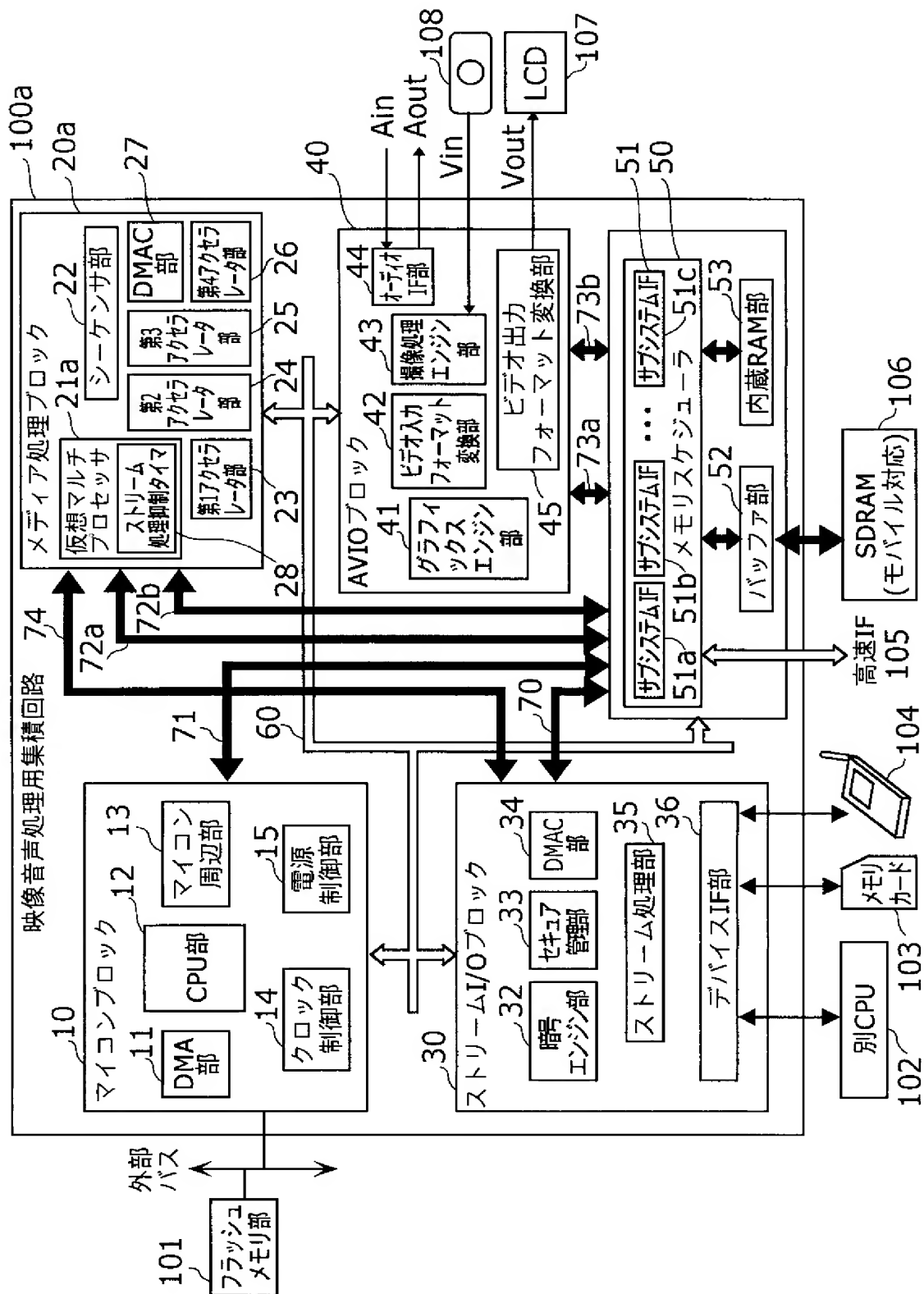
[図11]



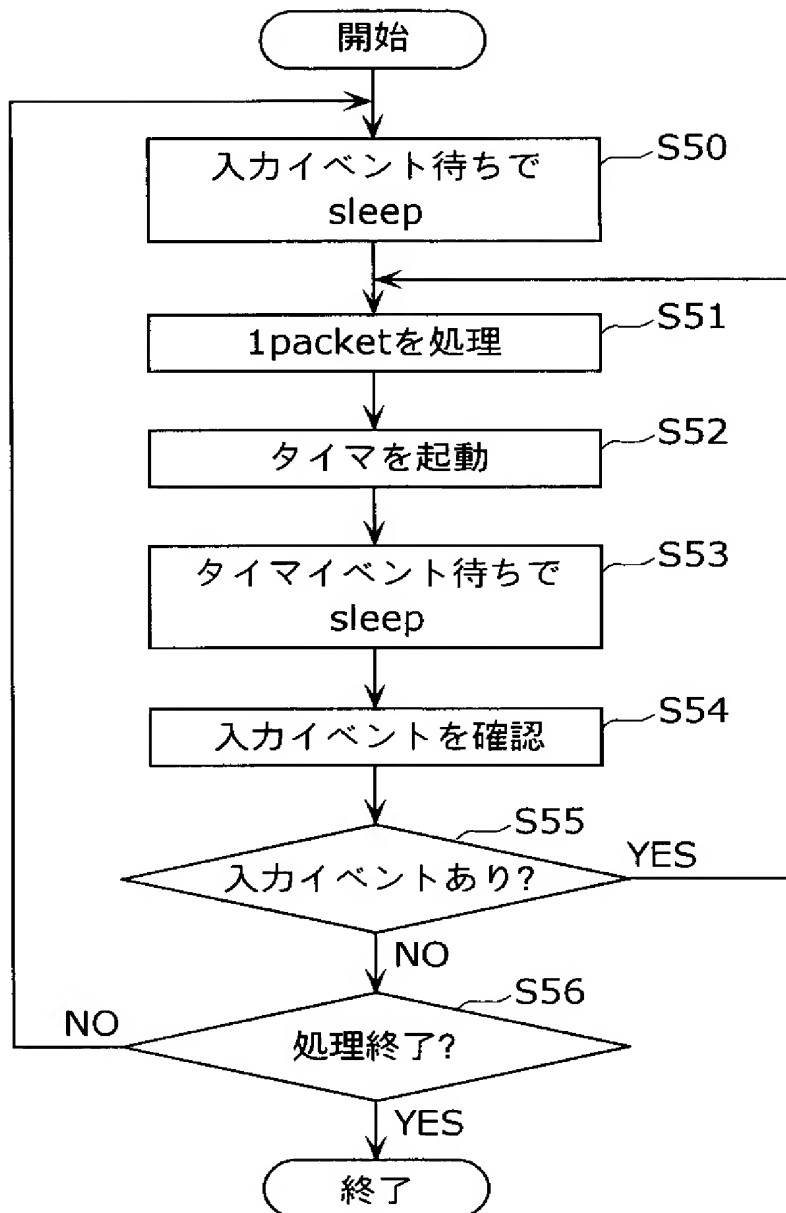
[図12]



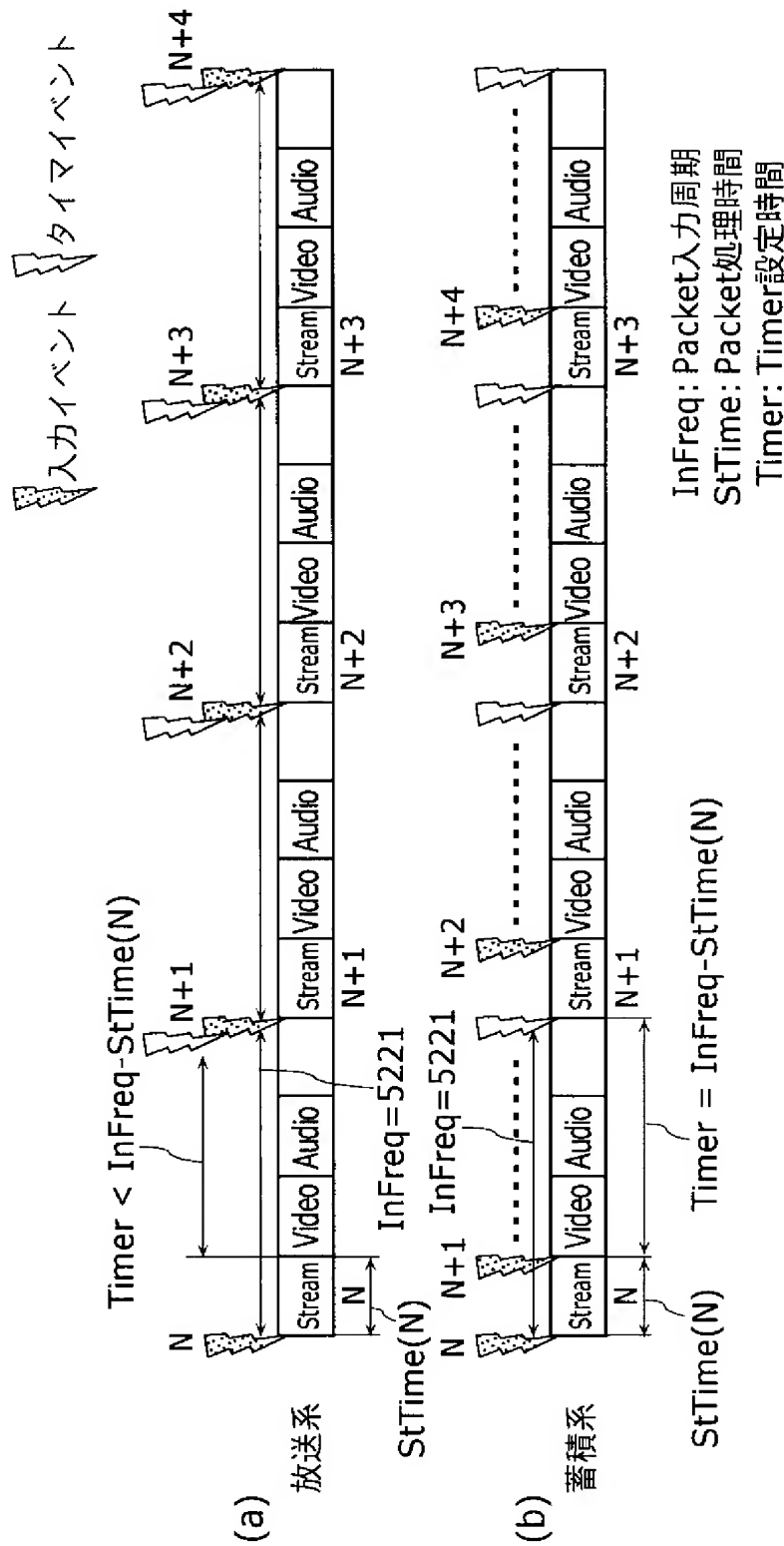
[図13]



[図14]

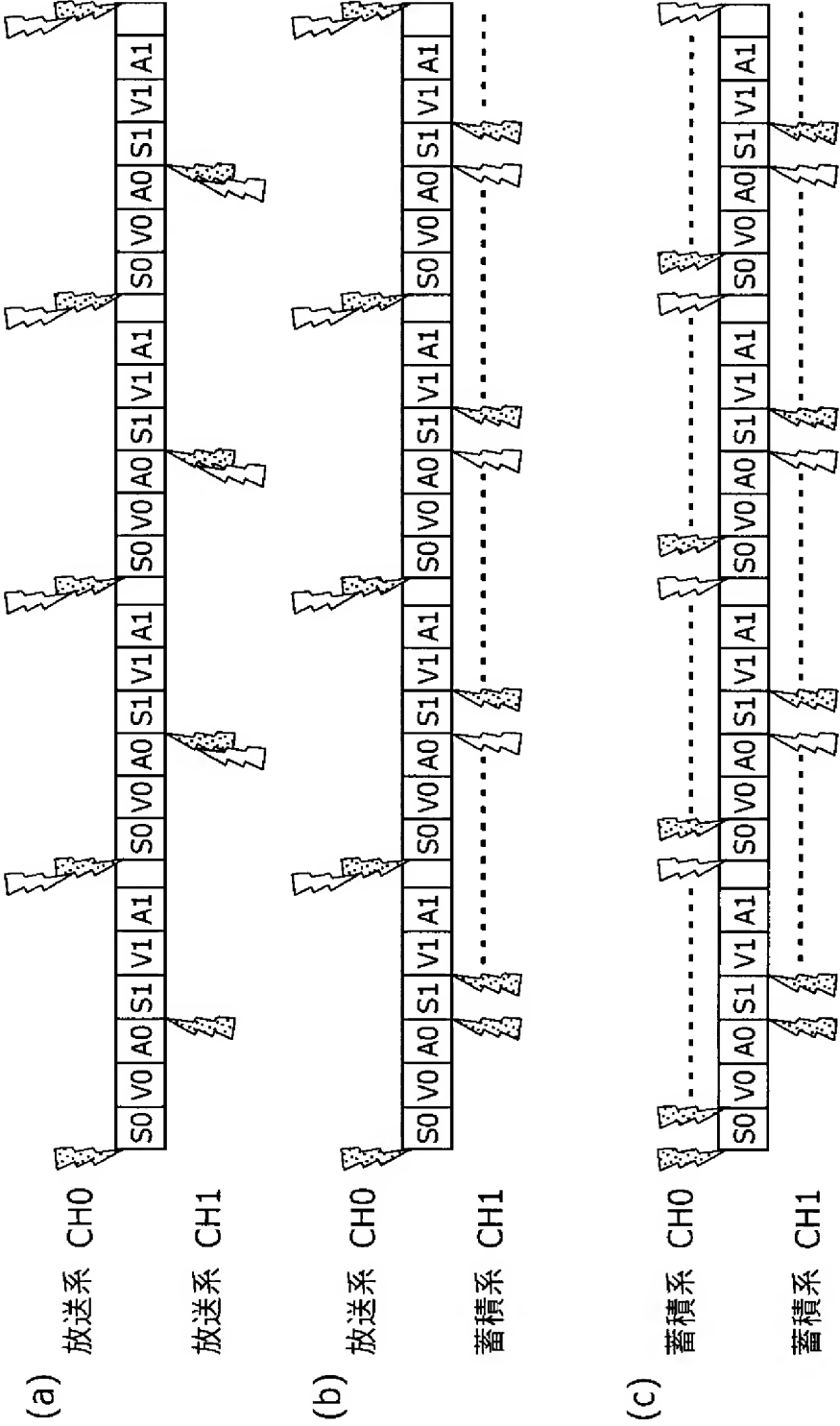


[図15]



[図16]

入力イベント タイムイベント





## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/006490

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl.<sup>7</sup> G06F15/78, H04N5/91

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.<sup>7</sup> G06F15/78, H04N5/91

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Toroku Jitsuyo Shinan Koho	1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

JICST FILE (JOIS), [MEDIAPUROSESSA] (in Japanese)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	Hirotooshi UEHARA et al., "DTV Global Platform no Kaihatsu", Matsushita Technical Journal, 18 February, 2004 (18.02.04), Vol.50, No.1, pages 2 to 6	1, 18, 19 2-17, 20-23
Y A	EP 1102169 A1 (Matsushita Electric Industrial Co., Ltd.), 23 May, 2001 (23.05.01), Par. Nos. [0032], [0037]; Figs. 2, 5 & JP 2001-142869 A Par. Nos. [0010], [0015]; Figs. 2, 5	1, 18, 19 2-17, 20-23



Further documents are listed in the continuation of Box C.



See patent family annex.

## \* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T"

later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X"

document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y"

document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&amp;"

document member of the same patent family

Date of the actual completion of the international search

14 July, 2005 (14.07.05)

Date of mailing of the international search report

02 August, 2005 (02.08.05)

Name and mailing address of the ISA/

Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/006490

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	US 2003/0222877 A1 (Hitachi, Ltd.), 04 December, 2003 (04.12.03), Par. Nos. [0024] to [0087]; Fig. 1 & JP 2004-5287 A Par. Nos. [0011] to [0066]; Fig. 1	1, 18, 19 2-17, 20-23
A	Kozo KIMURA et al., "Software deno Jitsujikan Shori o Jitsugen shita Minseiyo Media Shori Processor "Media Core Processor", Matsushita Technical Journal, 18 April, 1999 (18.04.99), Vol.45, No.2, pages 99 to 106	1-23

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl.<sup>7</sup> G06F15/78, H04N5/91

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl.<sup>7</sup> G06F15/78, H04N5/91

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

J I C S T ファイル (J O I S), [メディアプロセッサ]

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y A	上原宏敏 外8名, DTVグローバルプラットフォームの開発, Matsushita Technical Journal, 2004. 02. 18, 第50巻, 第1号, pp. 2-6	1, 18, 19 2-17, 20-23
Y A	EP 1102169 A1 (松下電器産業株式会社) 2001. 05. 23, 段落【0032】、【0037】、第2図、第5図 & JP 2001-142869 A, 段落【0010】、【0015】、第2図、第5図	1, 18, 19 2-17, 20-23

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
「O」口頭による開示、使用、展示等に言及する文献  
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」同一パテントファミリー文献

国際調査を完了した日

14. 07. 2005

国際調査報告の発送日

02.08.2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)  
郵便番号100-8915  
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

酒井 恭信

5B

9190

電話番号 03-3581-1101 内線 3544

## C (続き) . 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y  A	US 2003/0222877 A.1 (株式会社日立製作所) 2003. 12. 04, 段落【0024】～【0087】, 第1図 & JP 2004-5287 A, 段落【0011】～【0066】, 第1図	1, 18, 19  2-17, 20-23
A	木村浩三 外9名, ソフトウェアでの実時間処理を実現した民生用 メディア処理プロセッサ “Media Core Processor”, Matsushita Technical Journal, 1999. 04. 18, 第45巻, 第2号, pp.99-106	1-23